

Esperimentazioni di Fisica III

1 Struttura e funzionamento dei Flip-Flop

Relazione Gruppo

Attenzione: tutti gli integrati adoperati in questa esperienza dovranno essere alimentati a +5V.

1.1 Realizzazione di un FF di tipo RS a partire da porte NAND

Si monti il circuito indicato in figura 1, dove l'integrato adoperato è il 7400 (NAND). Si alimenti a +5V. Si faccia uso degli interruttori forniti per realizzare i commutatori indicati in figura.

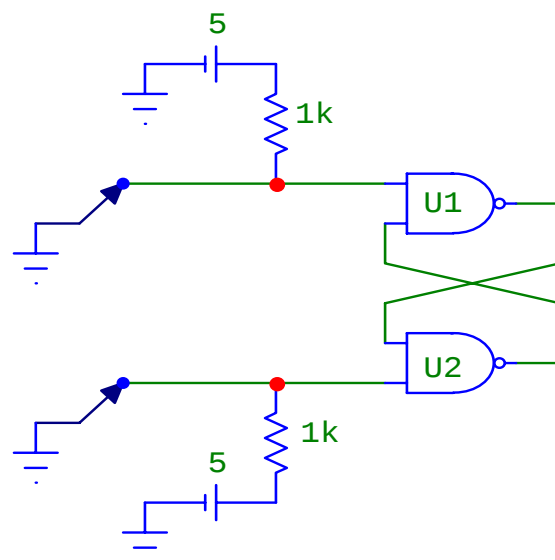


Figura 1:

Si indichino sul disegno del circuito gli ingressi (S,R) e la uscita ($Q, \overline{Q}$). Si verifichi che gli ingressi siano a 0 V o 5 V a seconda della posizione dell'interruttore.

Si misuri, facendo uso dell'oscilloscopio, il segnale presente alle uscite ($Q, \overline{Q}$), per ciascuna posizione dell'interruttore. Si compili la relativa tabella delle verità (1).

S	R	Q	$\overline{Q}$
0	0		
0	1		
1	0		
1	1		

Tabella 1:

Si spieghi il funzionamento del circuito come elemento di memoria, nonché come *switch debouncer*.

1.2 Realizzazione di un FF *sincrono* di tipo RS

Il FF montato è *asincrono*, nel senso che lo stato delle uscite ($Q, \overline{Q}$) cambia non appena si modifichi lo stato degli ingressi R, S. Un FF *sincrono* cambia invece stato solo in coincidenza con l'arrivo di un impulso di Clock (dopo che siano stati impostati gli ingressi).

Si faccia uso di altre due porte NAND per rendere sincrono il circuito. Si disegni il relativo schema e si verifichi il funzionamento. Si riporti la relativa tabella delle verità (2).

Ck	S	R	Q	$\bar{Q}$
0	1	0		
1	1	0		
0	0	1		
1	0	1		
0	0	0		
1	0	0		
0	1	1		
1	1	1		

Tabella 2:

1.3 Utilizzo del FF di tipo D 7474

Si utilizzi ora l'integrato 7474 per verificare il funzionamento del FF di tipo D. Si faccia riferimento alle caratteristiche fornite e si disegni il circuito assemblato. Si faccia uso degli interruttori già adoperati in precedenza per settare l'ingresso D, quello di Clock e gli ingressi asincroni Set, Reset. Si descriva il funzionamento del circuito nelle varie situazioni e si compili la tabella delle verità relativa al funzionamento asincrono (tabella 3) ed a quello sincrono (tabella 4). Si verifichi che lo stato dell'uscita cambia sul *fronte di salita* del clock.

Si abilitino entrambi gli ingressi S ed R, e successivamente li si disabilitino. Si verifichi che lo stato di Q ed $\bar{Q}$ dipende da quale dei due ingressi viene modificato per primo.

Ck	D	S	R	Q	$\overline{Q}$
X	X	0	1		
X	X	1	0		
X	X	0	0		

Tabella 3:

Ck	D	S	R	Q	$\overline{Q}$
↑	0	1	1		
↑	1	1	1		

Tabella 4:

Si disabilitino gli ingressi asincroni e si adoperi come Clock il generatore di onde quadra. Si visualizzino sull'oscilloscopio e si riportino in un grafico Clock e Q .

Utilizzando il medesimo FF di tipo D, si connetta l'input D con $\overline{Q}$ e si invii il segnale di clock. Si visualizzino sull'oscilloscopio il clock ed il dato (D); si riporti in un grafico i segnali osservati e si spieghi il funzionamento.

Si misuri, nel medesimo circuito, il ritardo tra il segnale di clock e l'uscita (*propagation delay*). Si spieghi il modo in cui è stata effettuata la misura e si confronti il risultato ottenuto con quello previsto dalle caratteristiche dell'integrato. Si valuti quale potrebbe essere all'incirca la massima frequenza di clock utilizzabile in tale circuito.

1.4 Utilizzo del FF di tipo JK 7476

Si monti il FF di tipo JK 7476. Si uniscano entrambi gli ingressi J e K al livello alto, si invii in ingresso un segnale di clock e si osservi il segnale in uscita. Si riportino in un grafico le forme d'onda osservate. Si spieghi poi come dovrebbero esser collegati gli ingressi J e K se si volesse da questo integrato ottenere un FF di tipo D.