Laboratorio di Fisica VI

1 Convertitore analogico-digitale

Relazione gruppo $\cdots$

1.1 Introduzione

1) Si monti il circuito e si alimentino gli integrati alle tensioni adeguate (gli amplificatori operazionali a $\pm 15\,V$).

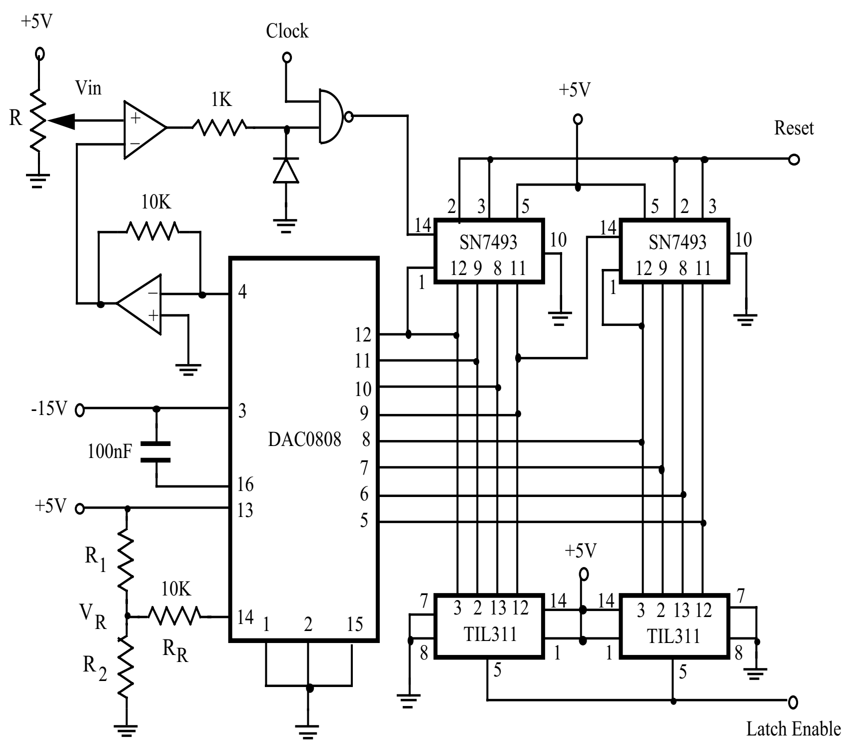

Figura 1:

2) Si connetta latch e reset a massa (*stato logico 0*). In questa condizione il contatore non è mai resettato ed il display visualizza il conteggio corrente.

Si invii un segnale di clock di frequenza 1 Hz (tramite il generatore di funzioni) direttamente all'input del contatore connesso ai LSB. L'ampiezza del segnale di clock deve variare tra GND e tensioni positive.

Si verifichi il funzionamento dei contatori.

Si descrivano in dettaglio i segnali che vengono inviati dai contatori agli input del DAC0808 in queste condizioni.

3) Si è visto nella precedente esercitazione che l'integrato DAC0808 fornisce una corrente I_{OUT} (corrente che fluisce verso il PIN 4):

$$I_{OUT} = \frac{I_R \cdot N}{256}$$

dove I_R è la corrente di riferimento che fluisce verso il PIN 14 ed N il numero binario in ingresso.

Si esprima V_{OUT} in funzione della tensione di riferimento V_R, di R_R e della resistenza di feedback dell'operazionale collegato al piedino 4 del DAC, R_F.

Si scelgano le resistenze R_1 ed R_2 in modo che il fondoscala (cioè il massimo valore della tensione all'uscita dell'operazionale) sia pari a 2V.

$R_1 = \qquad \pm$

$R_2 = \qquad \pm$

4) Per verificare il funzionamento del circuito senza far ancora uso dei segnali di *latch* e *reset*, si può impostare la tensione all'ingresso non invertente del comparatore ad un generico valore compreso tra 0 e 2 Volt, inviare il segnale di clock come mostrato e poi spegnere e riaccendere l'alimentazione.

Si effettui qualche prova con valori diversi di V_{in} e si riportino i valori visualizzati dai display.

5) Si porti la frequenza del clock a 50 KHz e si scelgano i segnali di *latch* e *reset* in modo da sfruttare tutto il range dinamico del DAC.

Si tenga presente che la durata dei segnali deve essere almeno di $60\mu s$ e che lo shift tra il segnale di latch e reset deve essere di almeno $40\mu s$.

Si riportino in un grafico i segnali scelti per clock, reset e latch.

6) Si verifichi per un dato valore di V_{in} il funzionamento del circuito. Si riporti in un grafico l'andamento della tensione sull'ingresso invertente del comparatore in funzione del tempo.

7) Si riporti in un grafico il valore di N, conteggio indicato dai display, in funzione della tensione di ingresso V_{IN}:

$$N = N(V_{in})$$

Si misuri il valore della costante di linearità K e dell'offset M, definiti dall'equazione:

$$N = KV_{in} + M$$

Si confronti il valore di K con quello previsto:

$K_{previsto} = \qquad \pm$

$K_{misurato} = \qquad \pm$

8) Si spieghi brevemente il funzionamento del convertitore analogico-digitale indicando quali siano le caratteristiche che ne limitano la precisione, il range dinamico e la velocità di conversione.