Laboratorio di Fisica V

Relazione Gruppo ....

1 Applicazioni delle FPGA

Attenzione: Alimentare la FPGA a circa 8 Volt, facendo uso dell'alimentazione della basetta

1.1 Realizzazione di un cronometro, con display a 7 segmenti

Si monti il circuito indicato in figura 1.

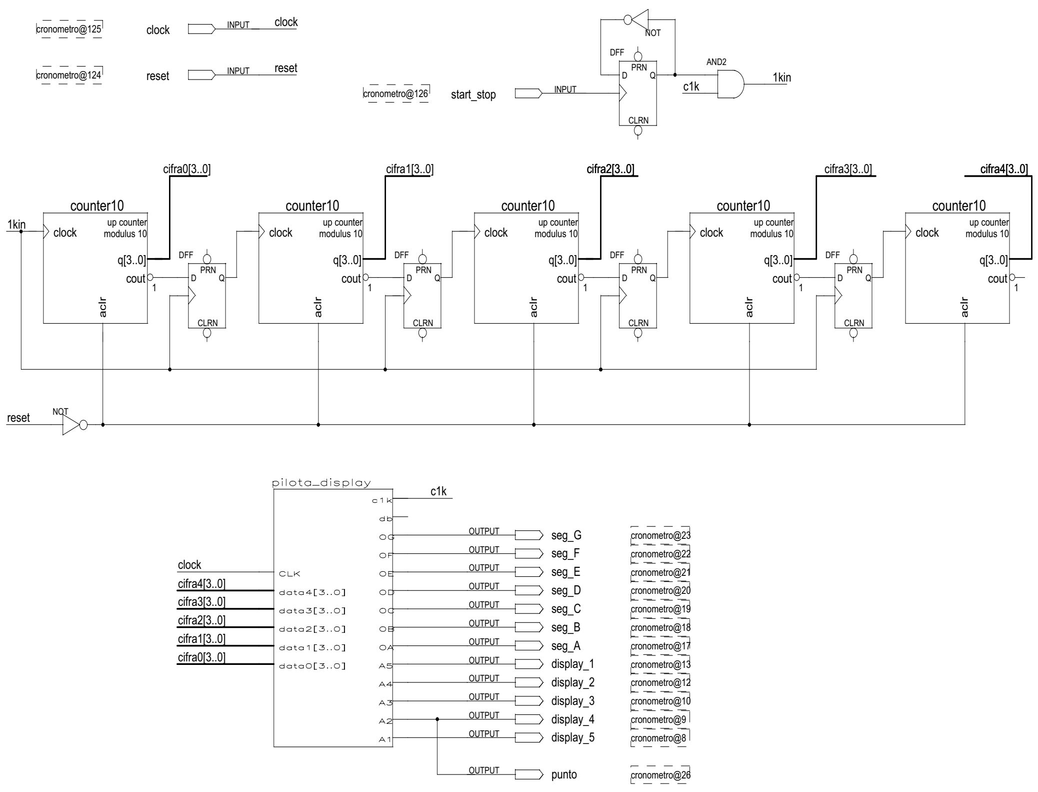

Figura 1:

Questo definisce la logica di un cronometro. Il segnale di START e STOP viene dato mediante uno dei pulsanti della scheda (pin 126), mentre l'altro pulsante (pin 124) fornisce il RESET.

Realizzare il circuito programmando la FPGA della ALTERA mediante il programma MAXPLUS.

Definire un progetto dal nome "cronometro" esclusivamente nella cartella "cronometro" che si trova già sul disco rigido dei vostri PC.

Si noti che:

1. Counter10 è ottenuto con il MEGAWIZARD, richiedendo un contatore a 4-bits, modulo 10, con carry out e clear asincrono.

2. I file per la definizione dell'operatore "pilota-display" sono già istallati nella vostra cartella. Potete osservarne il contenuto in figura 2.

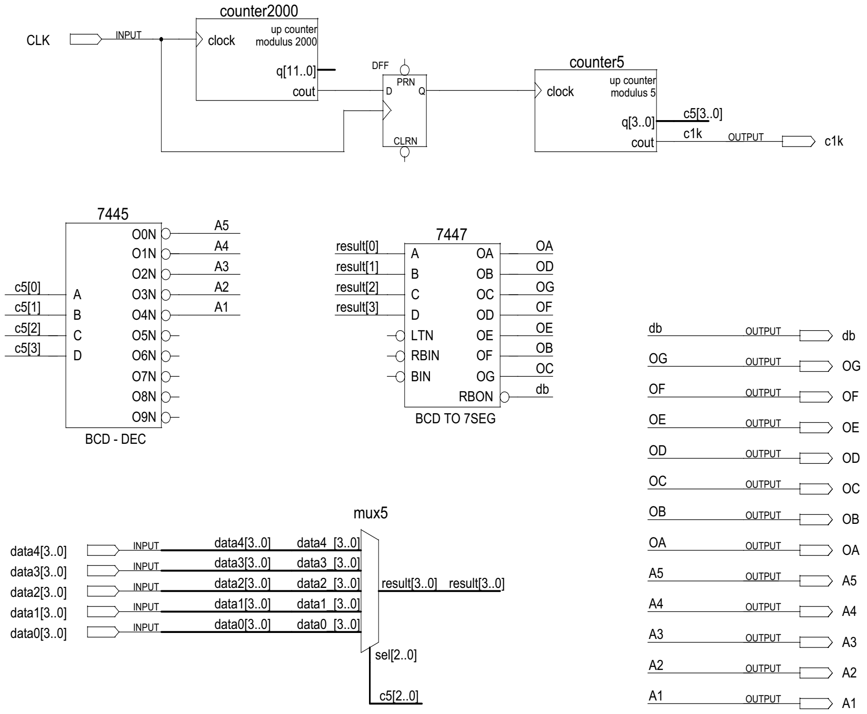

Figura 2:

L'operatore "pilota-display" riceve il ingresso il clock a 10 MHz che si trova sulla scheda ed i cinque segnali (4 bits ciascuno) che devono essere visualizzati rispettivamente sui cinque display; in uscita fornisce un segnale di clock da 1kHz (c1k) e 13 segnali di output così suddivisi:

- gli A1..A5 che vanno collegati ai pin 8, 9, 10, 12, 13 e comandano l'accensione dei rispettivi display (segnale logico 0 $\rightarrow$ display acceso)

- gli OA..OG forniscono i segnali di acceso (0) o spento (1) dei sette segmenti (che vengono letti in parallelo) dei display.

- I sette segmenti, più il puntino, ricevono gli imput dai pin 17, 18, 19, 20, 21, 22, 23, 26.

- L'operatore "pilota-display" fa sì che i display vengano accesi ripetutamente in sequenza per un tempo pari ad 1/5 di millisecondo ciascuno.

Dopo aver disegnato il circuito, si compili, si effettui il download (opzione PROGRAMMER in FILE) e si verifichi il funzionamento

Si effettui poi la simulazione e si ripeta la verifica.

Si osservi le forme d'onda CLK, c1k, display-1,..,display-5, 1kin,cifra0[0], cifra1[0], cifra2[0], cifra3[0], cifra4[0] nel circuito primario.

Si valuti poi il ritardo tra il segnale di clock in ingresso e gli altri segnali.

Nota: il ritardo puó esser valutato (facendo uso della simulazione) in due modi:

(a) facendo uso del sottomenu *waveform editor* (nel menu *Max+PLus II*) esaminando i tempi relativi dei vari segnali

(b) facendo uso della utility *analyse timing* (menu *utilities*)

Si riporti nella tabella 1 il ritardo osservato in tutti i casi.

segnale	*ritardo(ns)*
c1k	
display-1	
display-2	
display-3	
display-4	
display-5	
1kin	
cifra0[0]	
cifra1[0]	
cifra2[0]	
cifra3[0]	
cifra4[0]	

Tabella 1: Tabella dei ritardi

Si accluda alla relazione una stampa del circuito disegnato e quella delle forme d'onda in uscita ottenute dalla simulazione.