Laboratorio di Fisica V

1 Generatore di numeri random

Relazione Gruppo ....

Attenzione: tutti gli integrati adoperati in questa esperienza dovranno essere alimentati a +5V.

1.1 Realizzazione di un generatore di sequenze di numeri pseudo-casuali a 4 bit

Il circuito di figura **??** é un generatore di sequenze di numeri pseudo-casuali a 4 bit. Lo schema proposto (adottato dai più moderni calcolatori, pur con un diverso numero di bit) prevede l' utilizzo di altrettanti flip-flop di tipo D 74LS74 in cascata, in cui ciascun flip-flop costituisce un indirizzo di memoria ad 1-bit (per le caratteristiche dei flip-flop e degli altri integrati si consultino le pagine allegate).

1) Di che tipo é il registro seriale cosí realizzato, in cui cioè l' uscita di ciascuna memoria è connessa all' ingresso di quella successiva?

2) Quanti sono i possibili stati di questo registro?

Si fissi la configurazione iniziale di memoria applicando i segnali indicati in figura agli ingressi di preset e di clear. Siano A, B, C e D i flip-flop nell' ordine indicato in figura (A essendo quello associato al bit più significativo) e si indichino con Q_a, Q_b, Q_c e Q_d le rispettive uscite.

3) Si indichi (Tabella **??**) lo stato del registro prima dell'arrivo del primo impulso di clock.

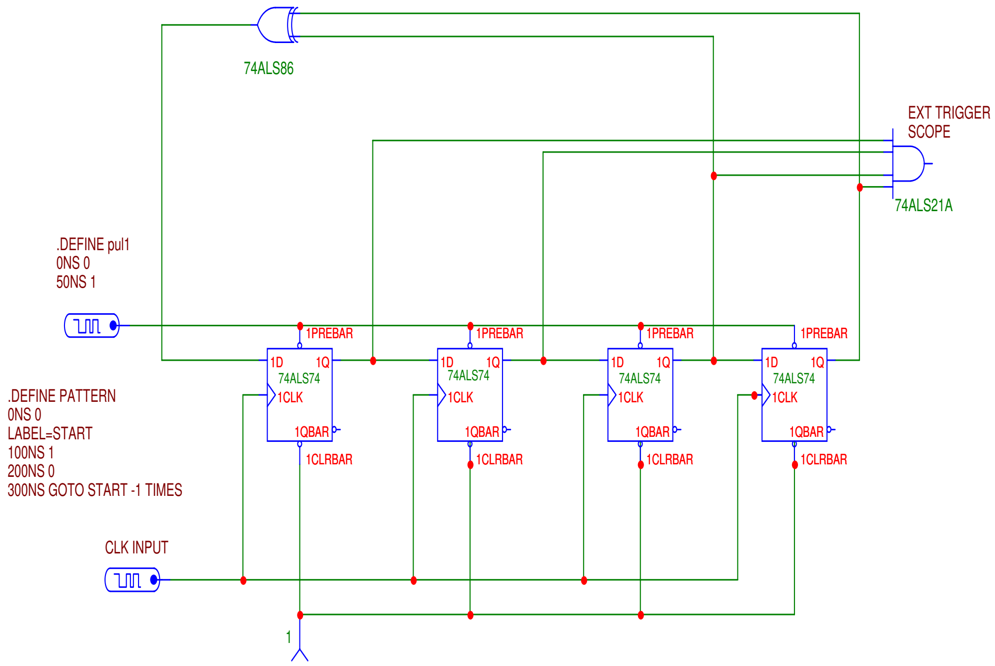

Figura 1:

Q_A	Q_B	Q_C	Q_D

Tabella 1:

4) Si costruisca la tabella (Tabella**??**) dei valori che ci si aspetta di trovare all'uscita del registro dopo ogni impulso di clock. Dopo quanti cicli di clock il contenuto del registro torneŕa ad essere uguale a quello iniziale ?

Si utilizzi un segnale di clock di frequenza pari a 1 Khz e si azioni il segnale indicato con PUL1 per dare inizio alla sequenza.

5) Si misuri il periodo del segnale all' uscita della porta AND (indicata con "EXT TRIGGER" in figura) e lo si confronti con la risposta al punto 4).

6) Si osservi la sequenza di ciascuna uscita Q all'oscillografo utilizzando il segnale di cui sopra come *trigger* esterno. Si riporti in un grafico l'andamento del clock insieme a quello di Q_D. Si confrontino le sequenze osservate con quelle riportate nella tabella di cui al punto 4). Si analizzi e si spieghi il risultato osservato. In che senso la sequenza dei bits all'uscita Q_D é *pseudocasuale* ?

Impulso di clock	Q_A	Q_B	Q_C	Q_D
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				
19				
20				

Tabella 2:

1.2 Generatore di sequenze di numeri pseudocasuali di maggiore lunghezza

Facendo uso di un ulteriore FF (E), con gli ingressi della porta XOR collegati alle uscite dei FF C ed E, e facendo uso di una porta AND a 5 ingressi per generare il trigger per l'oscilloscopio, possiamo generare una sequenza di bits pseudocasuali di lunghezza maggiore di 15. Si provi a costruire la nuova tabella delle veritá (Tabella **??**) e si calcoli la lunghezza della sequenza. In che senso essa é pseudo-casuale ?

Si disegni e si monti il relativo circuito (facendo uso di una porta NAND a 2 ingressi, oltre a quella a 4 giá montata). Se ne verifichi il funzionamento.

Impulso di clock	Q_A	Q_B	Q_C	Q_D	Q_E
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					
16					
17					
18					
19					
20					
21					
22					
23					
24					
25					
26					
27					
28					
29					
30					
31					
32					
33					
34					
35					

Tabella 3:

Impulso di clock	Q_A	Q_B	Q_C	Q_D	D=f(Q)
1	1	1	1	1	0
2	0	1	1	1	0
3	0	0	1	1	0
4	0	0	0	1	1
5	1	0	0	0	0
6	0	1	0	0	0
7	0	0	1	0	1
8	1	0	0	1	1
9	1	1	0	0	0
10	0	1	1	0	1
11	1	0	1	1	0
12	0	1	0	1	1
13	1	0	1	0	1
14	1	1	0	1	1
15	1	1	1	0	1
16	1	1	1	1	0

Tabella 4: