

Caratteristiche dei circuiti con TRANSISTOR

+

RELAZIONE Gruppo

L'esercitazione di oggi si propone di darvi un'idea di base delle caratteristiche del transistor. La maggior parte dei circuiti che incontrate oggi sono molto semplici e vi viene richiesto di risolverli nel modo piu' diretto possibile.

Un modello semplice per descrivere il comportamento di un transistor nella zona attiva e' dato dalle relazioni :

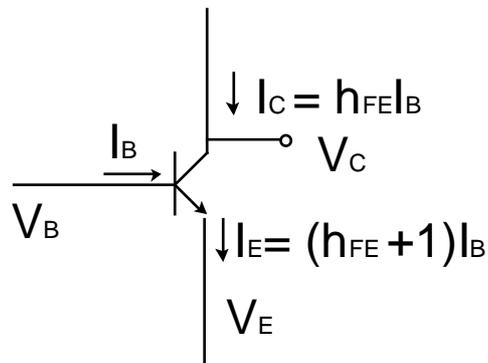


Fig. 1

il transistor si trova nella zona attiva se :

- 1 - $V_C > V_E$;
- 2 - $V_B - V_E \approx 0.6 \text{ V}$ (caduta di tensione su un diodo polarizzato direttamente).

Si vede quindi che il transistor e' caratterizzato dal guadagno in corrente h_{FE} .

(a) Montate il circuito di figura (2) che si utilizzerà per misurare h_{FE} .

Per utilizzare il transistor sul circuito tenere presente che l'emittitore è segnalato dalla linguetta sporgente rispetto alla base circolare del transistor e il collettore è quello collegato all'involucro metallico. Potete controllare la posizione di base, collettore ed emettitore guardando il disegno in sezione sulle specifiche.

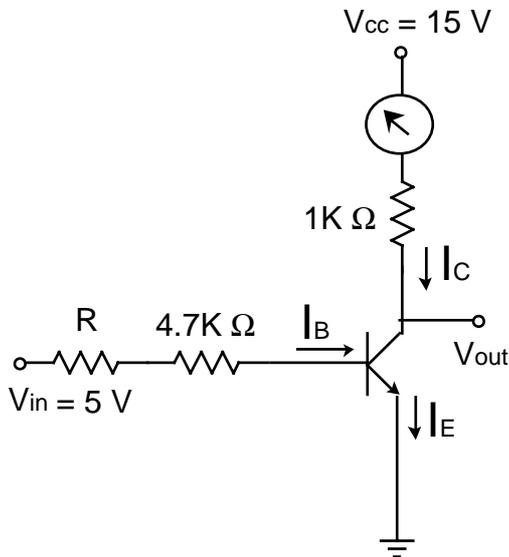


Fig. 2

Per collegare il tester utilizzate gli spinotti a coccodrillo in modo da poter fissare stabilmente i cavi del tester al resto del circuito.

Potete ottenere la tensione a 5 Volt utilizzando lo stabilizzatore di tensione. Collegando alla basetta lo stabilizzatore di tensione avrete in uscita sulla boccia gialla 5 Volt per qualsiasi differenza di potenziale tra la boccia rossa e terra maggiore di 5 Volt. Verificatelo.

Variando il valore di R posso scegliere la corrente I_B che entra in base e quindi misurare la corrente I_C . Assumendo $V_{BE} = 0.6 \text{ V}$ scrivere I_B in funzione di R :

Misurate I_C per i seguenti valori di R:

$R \pm 5\%$	I_B (calcolata)	I_C (misurata)	h_{FE}
4.7 M	±	±	±
1.0 M	±	±	±
470 K	±	±	±
100 K	±	±	±
47 K	±	±	±

Spiegate perche' non ottenete un solo valore per h_{FE} , da cosa dipende h_{FE} ?

Cercate ora sulle specifiche del transistor (stiamo utilizzando un transistor 2N1711 NPN) il valore citato per il guadagno in corrente (riferitevi al guadagno in DC), scegliete R ed aggiustate V_{CC} in modo da mettervi nelle condizioni :

$$V_{CE} = 10 \text{ V}; I_C = 0.1 \text{ mA}$$

misurate quindi I_C ed I_B e calcolate h_{FE} .

$R \pm 5\%$	I_B	I_C	h_{FE} (misurato)	h_{FE} (specifiche)
	±	±	±	±

Ottenete una misura consistente con quello che vi aspettate ?

(b) Montate il circuito mostrato in figura (3).

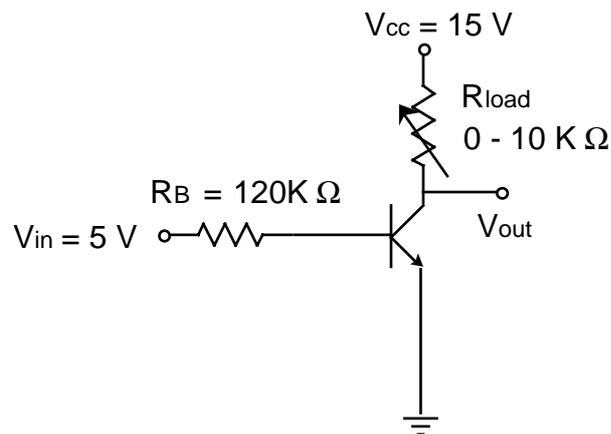


Fig. 3

Questo circuito si indica normalmente con il nome "current source", perche' ?

Variando la resistenza R_{LOAD} misurate I_C in funzione di V_{CE} , **attenzione fatevi un'idea grossolana iniziale di qual'è il range interessante in cui fare le misure.**

Riportate in un grafico le misure e confrontate la curva così ottenuta con quelle che trovate nelle specifiche. **Attenzione a bassi valori di V_{CE} e' possibile che abbiate bisogno di far passare qualche secondo per far stabilizzare la misura.**

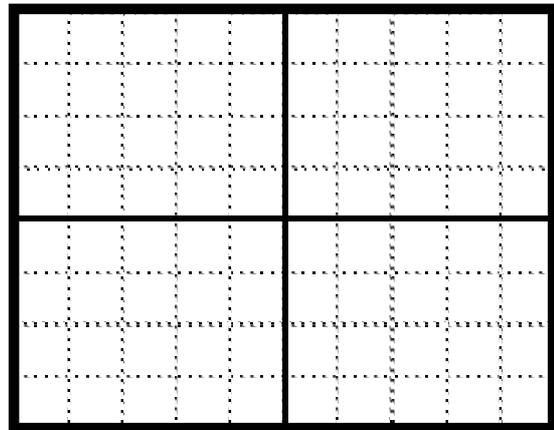
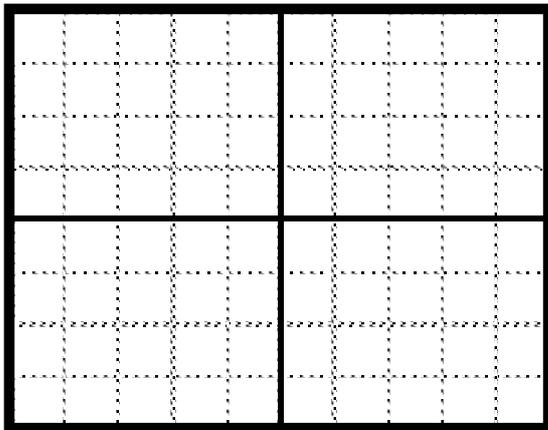
Indicate sul grafico la zona di saturazione e la zona attiva.

Supponete di sostituire la resistenza di base R_B con una resistenza di valore $R_B/2$, indicate sul grafico, in modo qualitativo quale curva $I_C = f(V_{CE})$ vi aspettate.

(c) Mettete ora il potenziometro a 10K ed inviate in input alla base un segnale triangolare di ampiezza picco-picco 6Volt e frequenza pari a 100-150 Hz.

Riportate l'andamento di V_{IN} e V_{OUT} in funzione del tempo sulla stessa scala temporale ed indicate le zone in cui il transistor si trova in regione attiva, in saturazione o in cut-off.

Il transistor entra nelle varie zone (cut-off, attiva e saturazione) a valori della tensione di input consistente con quello che vi aspettate ?



Il transistor utilizzato nella zona di saturazione e di cut-off costituisce l'elemento di base della elettronica digitale.

Vediamo quindi un primo circuito in cui si costruisce una porta NOT con un transistor. Nella prossima esercitazione vedremo altri circuiti logici costruiti con transistor.

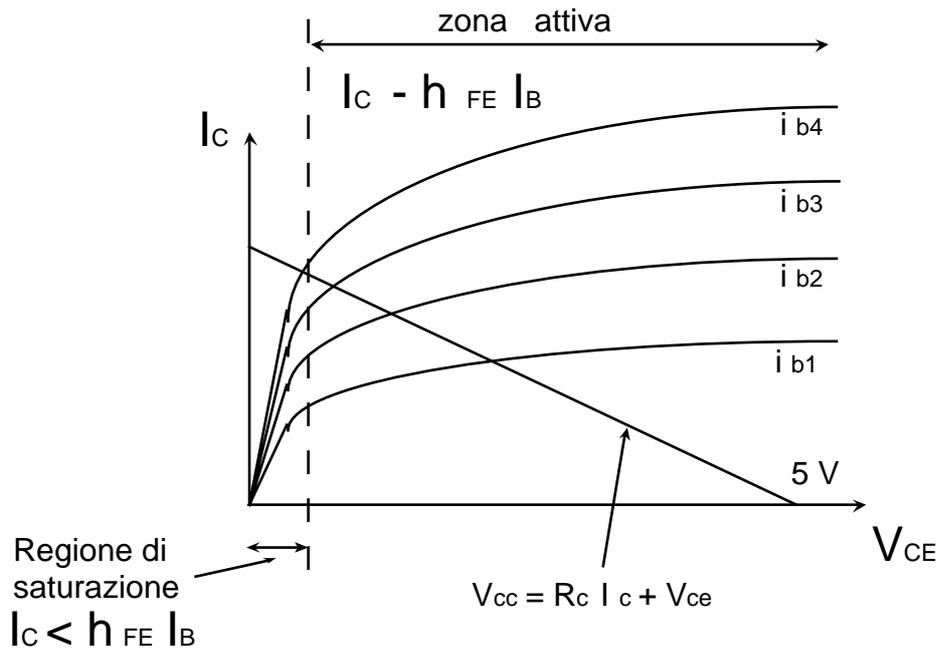


Fig. 4

Nei circuiti logici il transistor è utilizzato come un interruttore, costringendolo a lavorare nella zona di saturazione ($I_C < h_{FE} I_B$, $V_{CE} \approx 0.2$) o nella zona di cutoff ($I_C \approx 0$, $V_{CE} \approx 5\text{ V}$).

Un sistema digitale funziona in modo binario, cioè ogni punto del sistema può stare in due soli stati possibili, uno alto "1" (per esempio $4 \pm 1\text{ V}$) ed uno basso "0" (per esempio $0.2 \pm 0.2\text{ V}$).

Pochi circuiti fondamentali (NOT, AND, OR ...) sono necessari per costruire sistemi arbitrariamente complessi. Questi circuiti di base sono chiamati "porte logiche" poiché sono usati per realizzare equazioni logiche Booleane. Una porta logica è caratterizzata da una serie di elementi che in parte studieremo in questa esperienza. Oggi studiamo la porta logica NOT ed in particolare :

- 1) il funzionamento del transistor nei due stati;
- 2) la definizione degli stati logici;
- 3) la risposta temporale.

1) INVERTITORE o NOT

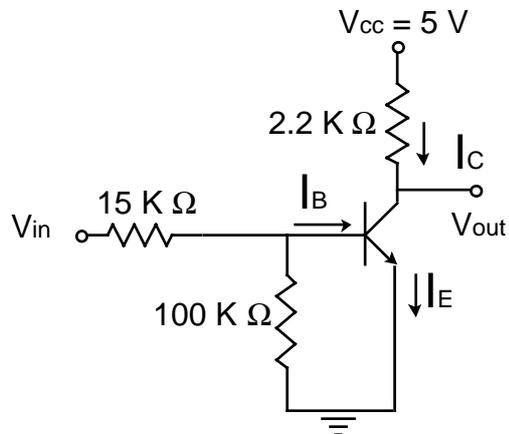


Fig. 5

Montare il circuito di fig.5.

- a) Mandare in input $V_{in} = 0 \text{ V}$. Misurare $V_{out} = V_{CE}$ ed I_C e determinare in che stato è il transistor:

$V_{out} \pm \Delta$

$I_C \pm \Delta$

stato transistor

- b) Mandare in input $V_{in} = 5 \text{ V}$. Calcolare I_B ed I_C :

Misurare $V_{out} = V_{CE}$, I_B ed I_C :

$V_{out} \pm \Delta$

$I_B \pm \Delta$

$I_C \pm \Delta$

Verificare che il transistor è in saturazione:

c) Supponendo che lo stato logico 0 corrisponda ad una tensione massima 0.2 ± 0.2 V, per quale valore minimo di V_{in} , V_{out} cessa di essere compatibile con lo stato 0?

$$V_{in} = \pm$$

Che succede al transistor quando l'uscita è di poco fuori dall'intervallo corrispondente allo 0 logico?

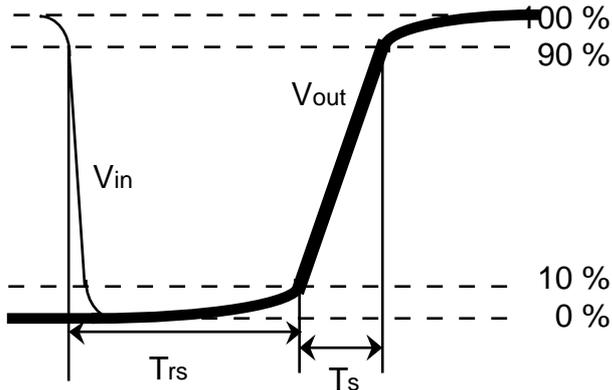


Fig. 6a

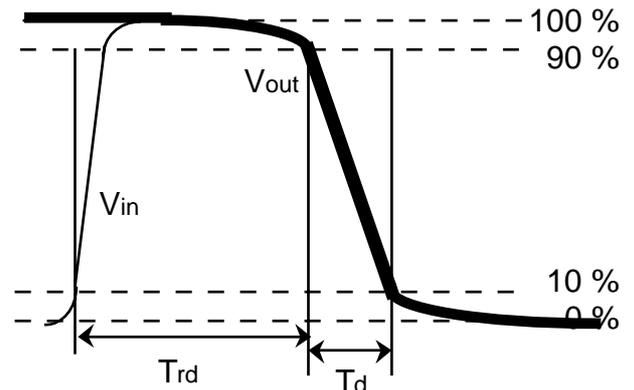


Fig. 6b

d) Mandare in input impulsi quadrati variabili fra gli stati logici 0 e 1 e studiare i tempi di risposta del circuito nei due casi:

- 1) quando V_{out} passa dallo stato logico 0 allo stato 1 (fig.6a);
- 2) quando V_{out} passa dallo stato logico 1 allo stato 0 (fig.6b);

$$T_s \pm \Delta \qquad T_d \pm \Delta \qquad T_{rs} \pm \Delta \qquad T_{rd} \pm \Delta$$

misurare in output il tempo di salita T_s (tempo perché la variazione del segnale passi dal 10% al 90% del suo massimo, come è stato fatto nell'esperienza N. 1), il tempo di discesa T_d (definito in modo simile a T_s) e i tempi di ritardo T_{rs} , T_{rd} nei due casi di salita e discesa di V_{out} (ritardi fra una variazione del 10% del segnale di input ed una variazione del 10% del segnale di output, vedi fig.6a per T_{rs} , e fig. 6b per T_{rd}).

Perché i due casi di salita e di discesa del segnale V_{out} sono caratterizzati da tempi diversi?