

# Corso di Laboratorio di Fisica V

## 1 Applicazioni delle FPGA: realizzazione di una ALU

Relazione Gruppo .....

*Attenzione: Alimentare la FPGA a circa 8 Volt, facendo uso dell'alimentazione della basetta*

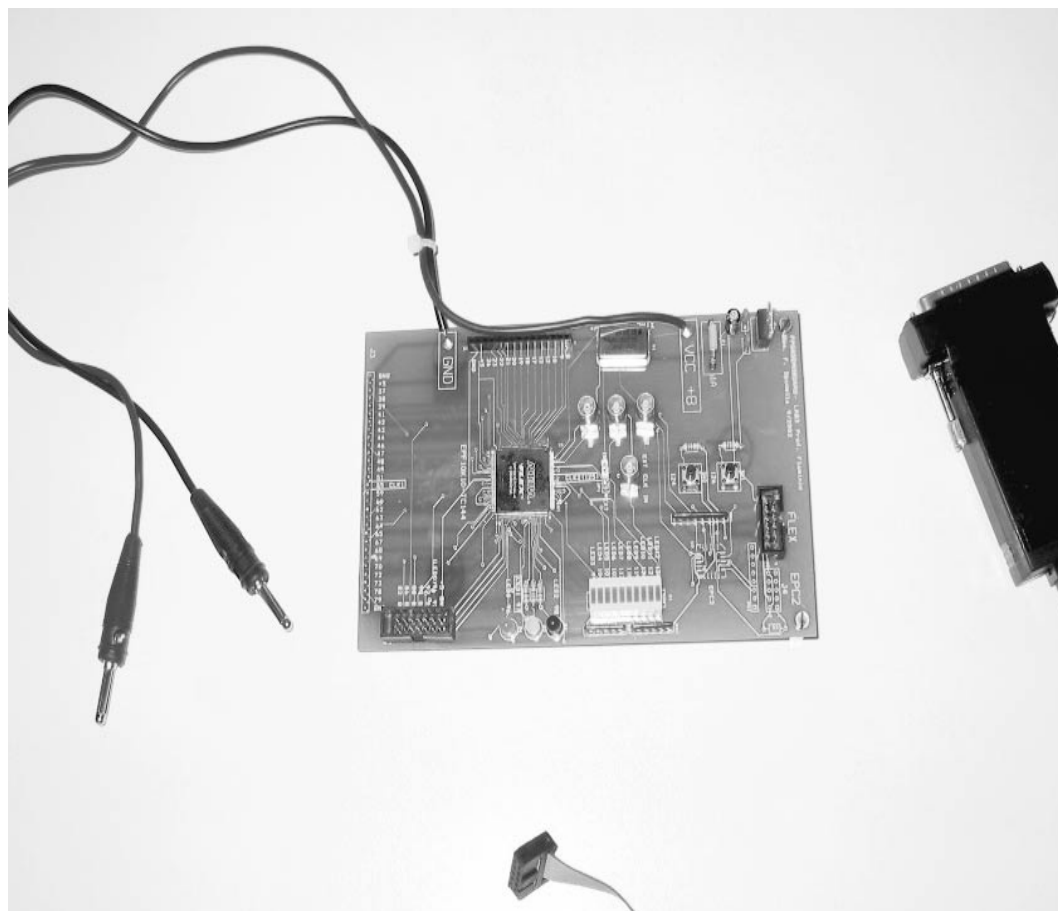


Figura 1:

## 1.1 Realizzazione di una unità logico-aritmetica

Nell'esercitazione di oggi si progetta ed implementa una unità logico-artimetica che possa effettuare le seguenti operazioni tra numeri interi a 4 bit:

- somma
- prodotto
- OR logico
- AND logico

Si noti che il risultato di AND ed OR logico sono numeri a 4 bit, il risultato dell'operazione di somma è un numero a 4 bit ed un carry a 4 bit mentre il risultato della moltiplicazione é un numero a 8 bit.

I valori dei due numeri a 4 bit in ingresso sono definiti tramite due interruttori a 4 elementi. L'operazione da eseguire viene scelta utilizzando due elementi di un terzo interruttore che fungono da indirizzo per un multiplexer che riceve in ingresso il risultato delle quattro le operazioni. Si specifichino gli indirizzi del multiplexer in modo che l' associazione operazione-indirizzo sia definita come mostrato in tabella 1.

0	0	OR
0	1	AND
1	0	+
1	1	x

Tabella 1:

Per la realizzazione delle quattro operazioni indicate si utilizzi il *Mega Wizard Plug-In Manager* (menu *File*). Scegliere *Arithmetic Mega Functions* per il prodotto e la somma, e *Gates* per l'AND e l'OR (sempre a 4 bit). Seguire poi le istruzioni fornite dallo stesso programma per definire il numero di bits in ingresso ed in uscita.

Si utilizzino le seguenti convenzioni nello schema del circuito:

- si indichino i numeri su cui operare con i simboli  $a[3..0]$  e  $b[3..0]$ ;
- si indichi con  $res[7..0]$  il risultato;
- si indichi con  $sel[1..0]$  la variabile (a due bit) adoperata per specificare l'operazione da effettuare;

Tutti gli interruttori utlizzati dovranno essere montati in modo tale che, con il commutatore in una delle due posizioni il relativo ingresso venga ad esser collegato a massa, mentre con il commutatore nella seconda posizione l'ingresso venga ad esser collegato a +5 V, attraverso una resistenza (di *pull-up*) da circa 1 k. Ciò va ripetuto per ciascuno dei bit in ingresso dei numeri a e b, nonché per i bit che specificano l'operazione da effettuare. Si faccia molta attenzione alle tensioni applicate e ad evitare eventuali "corti".

a(3)	a(2)	a(1)	a(0)	b(3)	b(2)	b(1)	b(0)
37	38	39	41	46	47	48	49
sel(0)		sel(1)					
79		78					

Tabella 2:

Si assegnino gli ingressi come indicato in tabella 2, dove i valori indicati (37, 38, etc.) si riferiscono alla numerazione indicata sul circuito per le linee di I/O. Si utilizzino i LED per visualizzare il risultato.

Dopo aver disegnato il circuito, si compili, si effettui il download (opzione PROGRAMMER in FILE) e si effettui le seguenti operazioni elementari:

$$\text{Hex}(A) \times \text{Hex}(B) =$$

$$\text{Hex}(7) + \text{Hex}(C) =$$

$$\text{Hex}(3) \text{ OR } \text{Hex}(E) =$$

$$\text{Hex}(B) \text{ AND } \text{Hex}(3) =$$

Si effettui poi la simulazione e si verifichi il funzionamento anche in questo caso.

Si valuti poi il ritardo tra i segnali in ingresso e quelli in uscita, per ciascuna delle quattro operazioni effettuate.

Nota: il ritardo può esser valutato (facendo uso della simulazione) in due modi:

- (a) facendo uso del sottomenu *waveform editor* (nel menu *Max+PLus II* esaminando i tempi relativi dei vari segnali)
- (b) facendo uso della utility *analyse timing* (menu *utilities*)

Si riporti nella tabella 3 il ritardo osservato in ciascuno dei quattro casi.

Si acclude in figura 2 un esempio di forme d'onda.

Si apporti ora le necessarie modifiche al circuito in modo che esso fornisca anche la parità della parola in uscita ed accenda un LED se la parità é dispari.

Si accluda alla relazione una stampa del circuito disegnato ed una delle forme d'onda in uscita ottenute dalla simulazione.

<i>operazione</i>	<i>ritardo(ns)</i>
SOMMA	
PRODOTTO	
OR	
AND	

Tabella 3:

MAX+plus II 10.1 File: C:\LABORATORIO\ALTRO\ESERCITAZIONI2002\ESP\_FPGA\_ALU\ALU2.SCF Date: 12/02/20

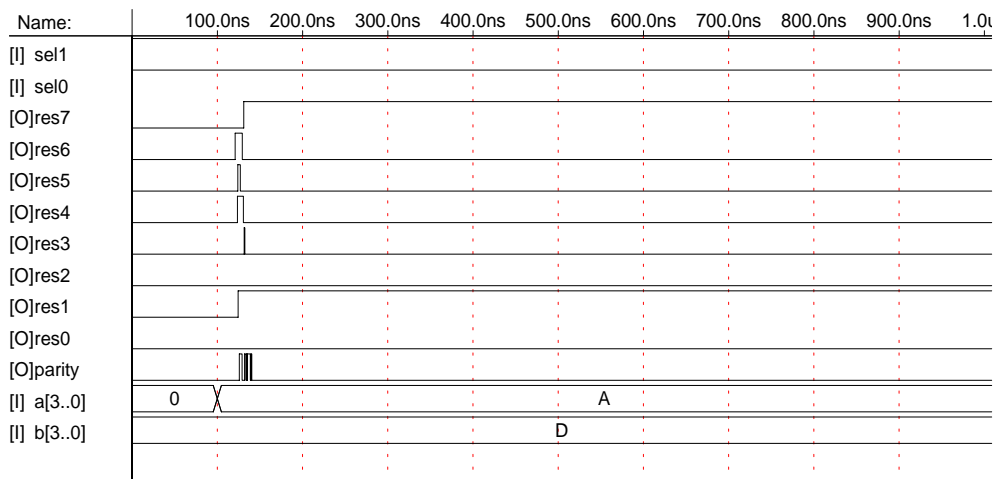


Figura 2: