

# Capitolo 18

## Convertitori Digitale-Analogico ed Analogico-Digitale

### 18.1 Introduzione

L'informazione digitale che viene elaborata da un generico processore è in molti casi successivamente convertita in un segnale analogico, quale la corrente che alimenta le bobine di un altoparlante, quella che accende dei LED, la tensione che controlla un condizionatore d'aria etc. Sull'altro versante, se abbiamo la necessità di analizzare l'andamento di un fenomeno, quale ad esempio l'andamento della corrente di collettore in un transistor al variare della corrente di base, la corrente anodica in un fotomoltiplicatore al variare della tensione d'alimentazione, la pressione in un certo volume di gas al variare della temperatura etc., incontriamo la necessità di convertire un segnale *analogico* (in genere, una corrente o una tensione fornita da uno strumento o da un trasduttore) in un segnale *digitale*, ovvero in una stringa di bits.

I circuiti che effettuano la conversione di un segnale analogico in uno digitale sono noti appunto come "convertitori Analogico-Digitale" o brevemente "ADC". Circuiti di questo genere sono disponibili in commercio in un'ampia varietà di tipi diversi.

Un'applicazione che si incontra spesso in fisica è quella di fornire una rappresentazione numerica di un segnale dipendente dal tempo. In tale applicazione, la forma d'onda che caratterizza il segnale viene "campionata" ad intervalli di tempo estremamente ravvicinati (fino a qualche picosecondo) e l'ampiezza del segnale in ciascuno di tali intervalli di tempo viene convertita in un numero binario. Si parla in tal caso di "digitizzatori di forme d'onda" (waveform digitizers). In tale categoria rientrano gli oscilloscopi digitali, che stanno rapidamente sostituendo quelli analogici.

Un'altra applicazione degli ADC che ha avuto un'ampia diffusione negli ultimi anni è nelle fotocamere digitali.

I circuiti che effettuano la conversione opposta, di un segnale digitale in uno analogico sono noti come "DAC".

Nel seguito ci occuperemo di una rassegna dei principi che sono alla base del funzionamento di entrambi questi tipi di convertitori. Premetteremo una breve discussione dei circuiti che effettuano il "campionamento" del segnale (circuiti di *sample-and-hold*).

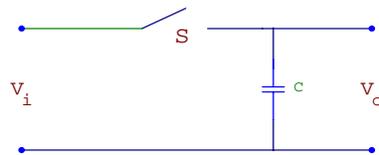


Figura 18.1:

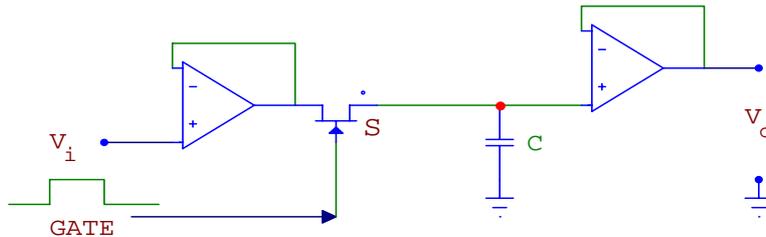


Figura 18.2:

## 18.2 Circuiti di Sample-and-Hold

Per convertire un segnale analogico in uno digitale occorre disporre di un circuito che "campioni" (sample) il segnale analogico all'istante voluto e ne trattiene (hold) il valore, in attesa che il successivo circuito abbia la possibilità di "leggere" e convertire il segnale analogico in una sequenza di bit, cioè in un numero. I circuiti che realizzano tale funzione vanno sotto il nome di circuiti di "sample and hold" (*S&H*). Il più semplice circuito di *S&H* è un condensatore la cui carica è comandata da un interruttore, come mostrato in figura 18.1.

La chiusura dell'interruttore ad un dato istante consente al condensatore  $C$  di caricarsi alla tensione del segnale da campionare  $V_i$ , applicato all'ingresso. La carica del condensatore non sarà ovviamente istantanea, ma dipenderà dalla corrente  $I$  che la sorgente  $V_i$  è in grado di erogare, oltre che dal valore di  $C$ . Una volta carico, il condensatore manterrà il potenziale  $V_i$  anche dopo che l'interruttore sia stato aperto. Tuttavia, perdite attraverso il dielettrico causeranno una diminuzione della tensione ai capi del condensatore in tempi relativamente brevi. Se poi il condensatore è collegato, come sempre avviene, ad un carico, tale tempo sarà ulteriormente ridotto. L'interruttore può essere realizzato facendo uso di un transistor ad effetto di campo (FET) o di una porta a diodi. Di norma, sia la sorgente  $V_i$  che l'uscita prelevata ai capi del condensatore sono accoppiate tramite operazionali in configurazione "inseguitore di tensione". Un esempio è quello mostrato in figura 18.2.

Nell'esempio l'interruttore è realizzato tramite un FET. Se il segnale di gate è applicato ad un certo istante  $t_0$ , la conseguente chiusura dell'interruttore dà inizio al processo di carica del condensatore. All'intervallo di tempo che intercorre tra la chiusura dell'interruttore e la carica del condensatore alla tensione  $v_i(t_0)$  si dà il nome di "tempo di acquisizione". Al termine del segnale di gate, l'apertura dell'interruttore non è istantanea, ma ha luogo con un certo ritardo, detto "tempo di

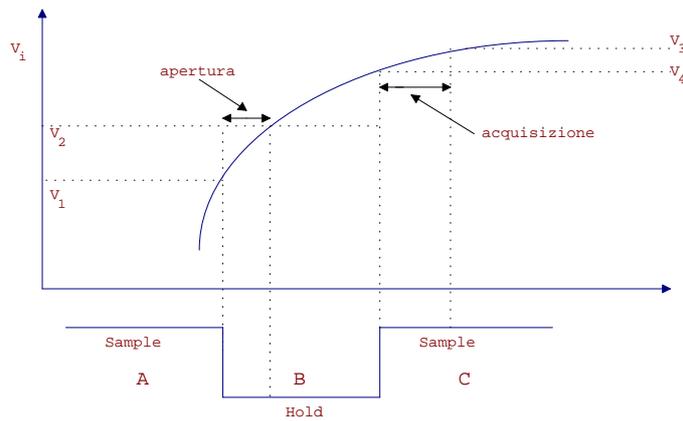


Figura 18.3:

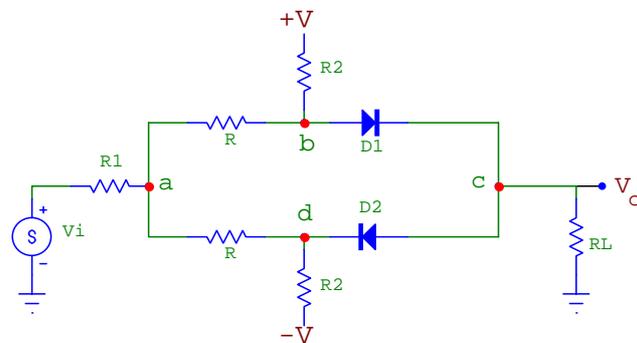


Figura 18.4:

apertura". Il tempo di apertura è dell'ordine di 50-100 ns se si fa uso di un interruttore a FET, mentre può essere inferiore ad 1 ns se si fa uso di un interruttore realizzato con diodi veloci. La figura 18.3 mostra l'effetto del tempo di apertura e di quello di acquisizione sul segnale letto.

Esaminiamo, con riferimento alla figura, l'effetto di questi ritardi. Nell'intervallo di tempo A il gate era alto (interruttore chiuso). Il segnale campionato dovrebbe essere quello presente all'istante dell'apertura del gate, cioè all'inizio dell'intervallo di tempo B, che è  $v_1$ . Il ritardo nell'apertura dell'interruttore fa sì che questo sia invece  $v_2$ . Quando noi chiudiamo l'interruttore, la tensione ai capi del condensatore sale, come mostrato in figura, con legge esponenziale e raggiunge il suo valore asintotico quando la tensione del segnale in ingresso è passata dal valore  $v_3$  che essa aveva al momento della chiusura dell'interruttore, ad un nuovo valore  $v_4$ .

Come accennato, un interruttore veloce può essere ottenuto da una porta a diodi. Un semplice esempio è quello di figura 18.4.

Il segnale da campionare è  $v_i$ , mentre i segnali  $+V$  e  $-V$  costituiscono il gate. Se  $V$  è posto ad un valore positivo di ampiezza sufficiente, entrambi i diodi  $D_1$  e  $D_2$  saranno in conduzione. In tali condizioni possiamo verificare che  $v_o = v_i$ . Infatti,

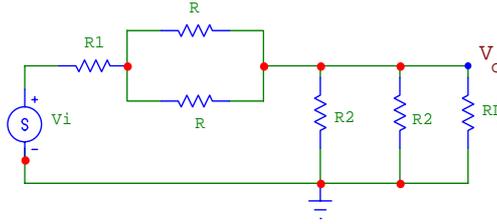


Figura 18.5:

essendo in tali condizioni il ramo b-c-d essenzialmente un corto circuito, il circuito equivalente è quello mostrato in figura 18.5:

dove si vede che è:

$$v_o = v_i \frac{R_L \parallel (R_2/2)}{R_1 + R/2 + R_L \parallel (R_2/2)} = v_i \frac{2R_L R_2}{2R_L R_2 + (R_2 + 2R_L)(R + 2R_1)}$$

notiamo che per  $v_i = 0$  è  $v_o = 0$ , cioè non è presente alcun offset. Se invece il segnale di controllo  $V$  è negativo, entrambi i diodi saranno interdetti. In tali condizioni è facile vedere che  $v_o = 0$ .

Il tempo di acquisizione è limitato dalla massima corrente che l'operazionale è in grado di erogare. ( $I \sim 25 \text{ mA}$ ). Se  $C$  è la capacità, tale tempo sarà all'incirca:  $t_A = CV/I$ . Questa, con una capacità di 100 nF ed una tensione di 1 V, dà  $t_A \approx 4 \mu\text{s}$ . Il tempo di acquisizione può esser ridotto diminuendo  $C$  o aumentando  $I$ . Ora, una diminuzione di  $C$  provocherebbe una diminuzione del tempo di scarica del condensatore, legato alle perdite dielettriche dello stesso. Rimane quindi solo l'alternativa di aumentare la corrente  $I$ . Ciò può esser ottenuto inserendo all'uscita dell'operazionale un emitter-follower complementare, come mostrato in figura 18.8.

Apriamo a questo punto una breve parentesi per comprendere il funzionamento dell'emitter-follower complementare indicato in figura.

Gli amplificatori a transistor possono essere classificati come amplificatori di classe A, di classe B, di classe AB e di classe C. Un amplificatore è di classe A se esso lavora attorno ad un punto posto all'incirca al centro delle curve caratteristiche del transistor, e quindi questo opera all'incirca in modo lineare. In tali condizioni un segnale sinusoidale applicato in ingresso darà ancora un segnale sinusoidale in uscita, con buona linearità. Un amplificatore lavora in classe B se il transistor opera attorno ad un punto che è molto vicino ad un estremo delle curve caratteristiche. In queste condizioni, un segnale sinusoidale applicato in ingresso sarà amplificato e presente in uscita solo durante un semiciclo. Per un amplificatore che funzioni in classe A, la corrente fluisce nel circuito in ogni istante, anche in assenza di segnale applicato in ingresso, mentre per uno che funzioni in classe B la corrente fluisce solo durante una semionda. Un amplificatore è di classe AB se lavora in una zona intermedia tra la classe A e quella B. È infine di classe C se il punto di lavoro è scelto in modo tale che la corrente (o tensione) in uscita sia nulla per più di una semionda. Il vantaggio di un amplificatore che lavori in classe B, rispetto ad uno che operi in classe A, è che in assenza di segnale non c'è dissipazione di potenza. Per questo motivo gli amplificatori di classe B sono adoperati in tutte quelle circostanze in cui si deve fare attenzione a dissipare poca potenza (impianti posti su satelliti,

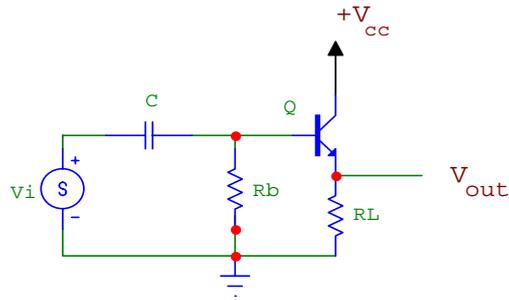


Figura 18.6:

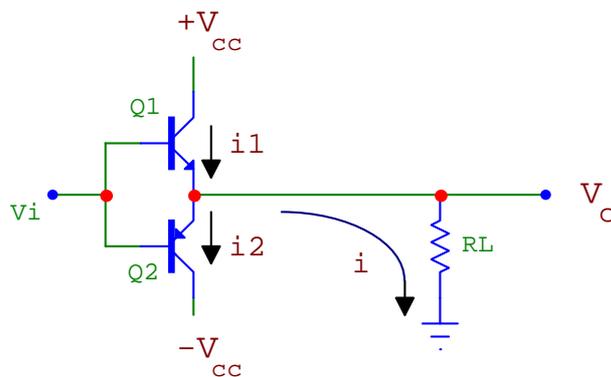


Figura 18.7:

radioline a batteria etc.). Lo svantaggio è una maggiore distorsione armonica. Un tipico amplificatore (di corrente) che opera in classe B è un emitter follower:

Per avere amplificazione durante entrambe le semionde, si ricorre ad un dispositivo costituito da due emitter-follower in serie, uno dei quali utilizza un transistor NPN e l'altro PNP. Questo prende il nome di amplificatore di classe B push-pull (o emitter follower complementare) come schematicamente indicato in figura 18.7.

Si vede facilmente che quando  $v_i$  è positivo,  $Q_1$  conduce e  $Q_2$  è interdetto. La corrente è  $i_1$  e viene da  $Q_1$ . Durante l'altro semiciclo,  $Q_1$  è interdetto e  $Q_2$  in conduzione. La corrente in  $R_L$  sarà ora  $-i_2$ , dove  $i_2$  è la corrente in  $Q_2$ .

Vediamo ora come un amplificatore di questo tipo possa essere utilizzato come generatore di corrente in un sistema di sample-and-hold ad operazionali (vedi figura 18.8):

Quando un segnale positivo è presente sul gate, il FET conduce tutte le volte che  $v_i > 0$ , a condizione che sia  $v_i > v_o$ . Notiamo che il secondo A.O. è connesso come inseguitore di tensione, con  $v_o$  unito all'ingresso invertente del primo A.O. Quindi  $v_o$  è forzato a seguire  $v_i$  durante il "sampling time". Notiamo che la corrente che carica il condensatore è erogata dal push-pull e non dall'A.O..

Quando il gate è basso (intervallo di hold)  $v_o$  rimane uguale al valore che esso aveva raggiunto durante l'intervallo di sample, a parte un piccolo drift dovuto alla

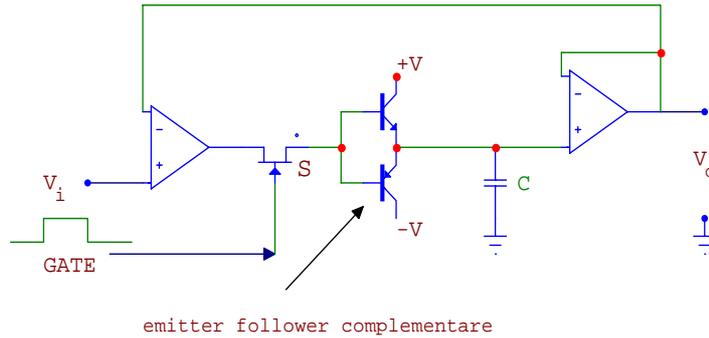


Figura 18.8:

corrente di bias dell'A.O. di uscita ed alle correnti di leakage dell'emitter follower e del FET. Maggiore il valore della capacità C, minore sarà il drift della tensione durante la fase di hold. Tuttavia, all'aumentare di C, come si è visto, aumenta il tempo di acquisizione. La soluzione sarà quindi un compromesso tra le due diverse esigenze.

## 18.3 Convertitori Digitale-Analogico

I convertitori Digitale-Analogico (DAC) son dispositivi attraverso i quali un sistema digitale può comunicare con il mondo analogico. Anche se l'uso più diffuso di tali convertitori consiste, come vedremo, nella realizzazione di convertitori Analogico-Digitale, essi hanno un'ampia gamma di applicazioni, che va dalla realizzazione di sistemi di display per tubi a raggi catodici a sintetizzatori musicali, generatori di forme d'onda, attenuatori, e trasmettitori digitali quali quelli adoperati nei più recenti sistemi di comunicazione.

Immaginiamo di voler convertire in un segnale analogico, ad esempio in una tensione, un'informazione binaria, e che questa sia disponibile all'uscita di un circuito digitale. Possiamo ad esempio pensare che l'informazione digitale consista nei livelli d'uscita di un registro costituito da N Flip-Flops. Se indichiamo in generale con  $a_0$  l'uscita del FF0 (corrispondente al bit meno significativo), con  $a_1$  quella di FF1, e via di seguito fino al FF(N-1) cui associamo il bit  $a_{N-1}$ , vogliamo realizzare un circuito che fornisca in uscita un livello di tensione  $V_0$  dato da:

$$V_0 = V (a_0 + 2^1 a_1 + 2^2 a_2 + \dots + 2^{N-1} a_{N-1})$$

dove V è un coefficiente di proporzionalità, legato al range di valori analogici che si desidera avere in uscita, ed i coefficienti  $a_0, a_1, \dots, a_{N-1}$  valgono 0 o 1 a seconda che l'uscita del corrispondente FF sia bassa o alta. Un metodo per realizzare tale funzione è suggerito dal sommatore per segnali analogici, ottenuto con un'operazione (in configurazione invertente) come nell'esempio di figura 18.9, relativo al caso di due soli bit:

Se in tale circuito scegliamo  $R_0 = R$  e  $R_1 = R/2$  avremo:

$$V_{out} = -(V_0 + 2V_1)$$

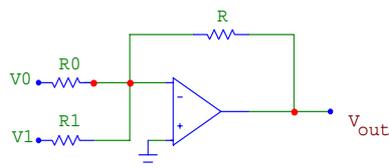


Figura 18.9:

e se ora immaginiamo che  $V_0$  e  $V_1$  siano le uscite di un registro a 2 bit:

$$V_i = 0 \Rightarrow \text{livello basso} \Rightarrow \text{numero binario } 0$$

$$V_i = 1 \Rightarrow \text{livello alto} \Rightarrow \text{numero binario } 1$$

vediamo che abbiamo realizzato un convertitore digitale-analogico a due bit. Infatti, se è:

$$V_0 = 1, V_1 = 0$$

avremo

$$V_{out} = -1$$

Se è:

$$V_0 = 0, V_1 = 1$$

avremo:

$$V_{out} = -2$$

e così via.

L'estensione ad un numero maggiore di bit è immediata. Uno schema di massima per il caso di  $N$  bit è mostrato in figura 18.10, dove potrebbe ad esempio essere:  $V_R = -10\text{ V}$ ,  $R = 1k$ ,  $R' = 5k$ .

Il circuito è un sommatore dove:

$$\begin{aligned} V_o &= - \left( \frac{R'}{R} a_{N-1} + \frac{R'}{2R} a_{N-2} + \dots + \frac{R'}{2^{N-1}R} a_0 \right) V_R = \\ &= 5 \left( a_{N-1} + \frac{1}{2} a_{N-2} + \dots + \frac{1}{2^{N-1}} a_0 \right) \end{aligned}$$

Se il coefficiente  $a_i$  è zero, il corrispondente interruttore  $S_i$  è collegato a massa ed il termine corrispondente nell'espressione ora scritta sarà 0. Gli interruttori  $S_0, S_1, \dots, S_{N-1}$  hanno il ruolo di collegare l'uscita a massa o a  $V_R$ , a seconda che sul gate di ingresso sia presente uno 0 oppure un 1. Tali interruttori possono essere realizzati in molti modi diversi. Una possibilità è quella mostrata in figura 18.11, che rappresenta un "totem pole MOSFET drive"

Gli input  $Q$  e  $\overline{Q}$  al MOSFET vengono da un registro dove è stata preventivamente immagazzinata l'informazione digitale da convertire in segnale analogico. Assumiamo di lavorare in una logica negativa, dove lo 0 è rappresentato da 0 V e l'1

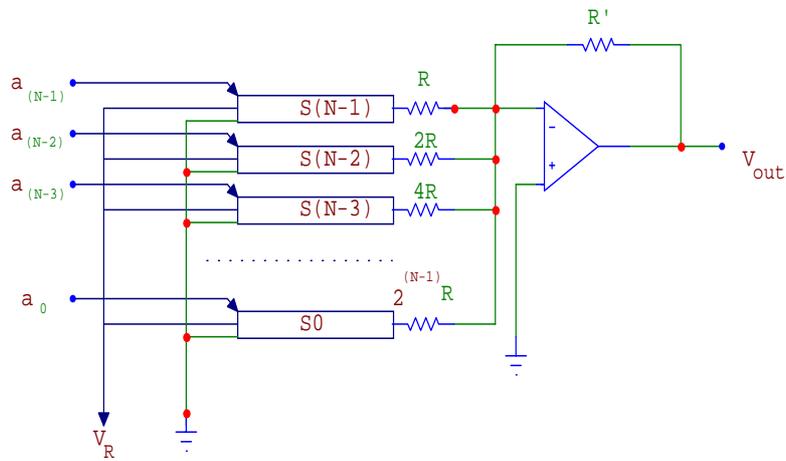


Figura 18.10:

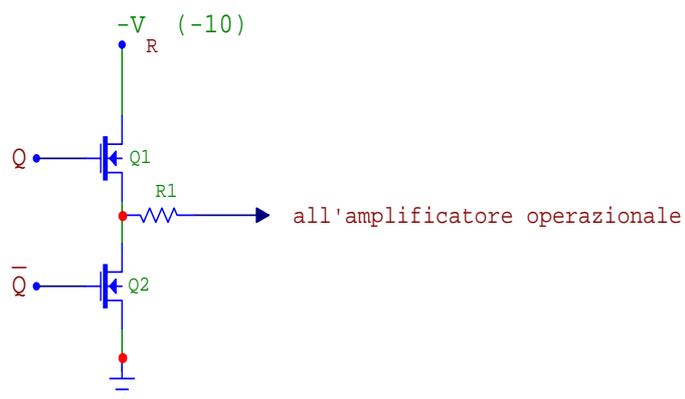


Figura 18.11:

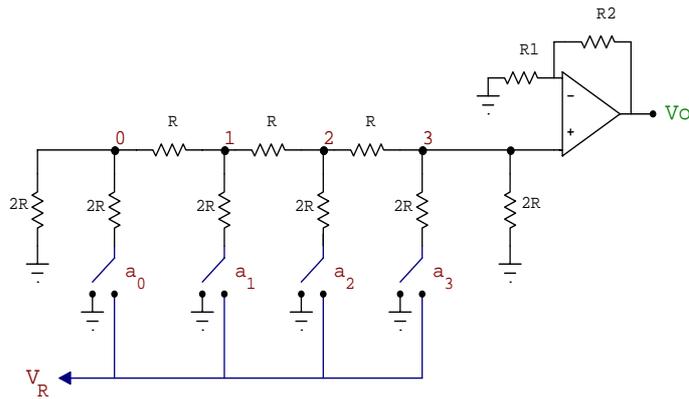


Figura 18.12:

da  $-10\text{ V}$ . Un 1 in ingresso ad un opportuno FLIP-FLOP che precede il MOSFET manda  $Q \rightarrow 1$  e  $\bar{Q} \rightarrow 0$ . Con ciò il MOSFET  $Q_1$  sarà ON. La resistenza  $R_1$  sarà così collegata alla tensione  $-V_R$ , mentre  $Q_2$  sarà OFF. Analogamente, con un segnale in ingresso uguale a 0, avremo  $Q = 0$  e  $\bar{Q} = 1$ , con che  $Q_1$  sarà OFF e  $Q_2$  ON. Cioè la resistenza  $R_1$  verrà ad essere collegata a massa.

L'accuratezza e stabilità dei DAC ora illustrati dipende in primo luogo dall'accuratezza dei valori delle resistenze, nonché dalla variazione che ciascuna di esse subisce con la temperatura. Un limite importante di questo tipo di DAC è costituito dal grande range di valori di resistenza necessario. Per un DAC a 10 bit, se la più piccola delle resistenze è  $10\text{k}\Omega$ , la più grande dovrà essere  $5.12\text{M}\Omega$  (cioè  $2^{N-1}$  volte la più piccola, con  $N=10$ ), che comincia ad essere un valore troppo grande. Inoltre, la tolleranza sulla resistenza da  $10\text{k}\Omega$ , che nella somma ha un peso pari a  $2^9$  volte quello della resistenza più grande, dovrà essere  $2^9$  volte più piccola! Se quindi la resistenza da  $5.12\text{M}\Omega$  è al 10%, quella da  $10\text{k}\Omega$  dovrà essere allo 0.002%, che è praticamente impossibile da realizzare. Per questo motivo, i circuiti del tipo mostrato sono poco adoperati e sono invece sostituiti dai DAC a "ladder" (cioè a scala) che ora esamineremo.

Questo circuito, di cui mostriamo in figura 18.12 la configurazione non-invertente, usa solo due valori di resistenza:  $R$  e  $2R$ .

L'esempio di figura è relativo ad un convertitore a 4 bit. Cominciamo con l'osservare che, da un generico nodo, si "vede" la medesima resistenza sia che "guardi" verso sinistra, sia che si "guardi" verso destra o verso il basso. Così, dal nodo 0, guardando verso sinistra si vede una resistenza  $2R$ , verso il basso si vede sempre  $2R$ , sia che l'interruttore  $a_0$  sia collegato a massa, sia che esso sia collegato a  $V_R$  (ricordiamo che un generatore di tensione ideale ha una resistenza interna nulla). Guardando dal nodo 0 verso destra si vede una resistenza  $R$  in serie con altre resistenze che, come è facile verificare, valgono ancora  $R$ , comunque siano disposti gli interruttori  $a_1, a_2, \dots, a_3$ . Verifichiamolo: la resistenza vista dal nodo 3 guardando a destra è  $2R$ , verso il basso è ancora  $2R$ ; di conseguenza la resistenza totale vista dal nodo 3 guardando verso destra e verso il basso è il parallelo di  $2R$  con se stessa, cioè  $R$ . Ora, guardando dal nodo 2 verso destra vediamo una resistenza  $R$  in serie con questa, cioè una resistenza  $2R$ . Poichè dal nodo 2 verso il basso c'è una resistenza  $2R$ , è chiaro che dal nodo 2 verso il basso + destra c'è una resistenza  $R$ . Il

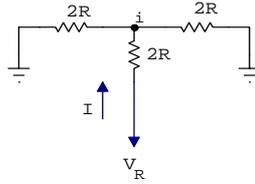


Figura 18.13:

ragionamento è facilmente estendibile a tutti i nodi labellati 0, 1, 2, 3.

Se ora un generico interruttore è connesso a  $V_R$  e tutti gli altri a massa, la tensione nel nodo corrispondente sarà  $V_R$  meno la caduta ai capi della resistenza  $2R$  che collega il nodo all'interruttore. Cioè:

$$V_i = V_R - 2RI$$

dove la corrente è quella che è erogata dal generatore  $V_R$  verso il nodo. Lo schema equivalente utilizzabile per calcolare tale corrente è mostrato in figura 18.13.

Dalla figura è immediato vedere che:

$$I = \frac{V_R}{3R}$$

per cui:

$$V_i = V_R - \frac{2R}{3R}V_R = \frac{1}{3}V_R$$

Quindi un generico nodo il cui interruttore sia chiuso su  $V_R$  è ad un potenziale  $V_R/3$ . Se questo fosse il nodo 3, avremmo:

$$V_i = V_3 = \frac{1}{3}V_R = V_+ = V_-$$

dove si è fatto uso del principio del corto-circuito-virtuale all'ingresso dell'operazionale. Ne seguirebbe, dall'uguaglianza delle correnti nelle resistenze  $R_1$  ed  $R_2$ :

$$\left(V_o - \frac{V_R}{3}\right) \frac{1}{R_2} = \frac{V_R}{3R_1}$$

da cui segue:

$$V_o = \frac{V_R R_1 + R_2}{3 R_1} \equiv \bar{V}$$

Se invece fosse collegato a  $V_R$  l'interruttore  $a_2$ , e tutti gli altri fossero collegati a massa, la tensione al terminale non invertente dell'A.O. sarebbe determinata dal partitore costituito dalla resistenza  $R$  posta tra i nodi 2 e 3 e da quella costituita dal parallelo delle due resistenze pari a  $2R$  poste tra il nodo 3 e massa. Tale tensione sarebbe quindi la metà di quella presente al nodo 3. La tensione in uscita sarebbe quindi la metà di quella calcolata in precedenza:

$$V_o = \frac{1}{2} \frac{V_R R_1 + R_2}{3 R_1} = \frac{1}{2} \bar{V}$$

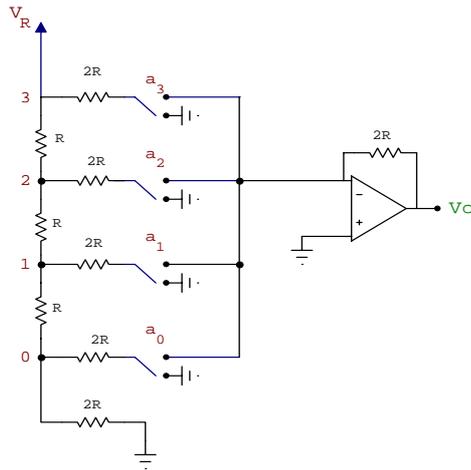


Figura 18.14:

In modo analogo, se a  $V_R$  fosse collegato l'interruttore  $a_1$  e tutti gli altri fossero collegati a massa, troveremmo una tensione in uscita pari alla metà di quella precedente, e così via.

Facendo ora uso del principio di sovrapposizione, troveremo nel caso generale:

$$\begin{aligned}
 V_o &= \bar{V} \left( a_3 + \frac{1}{2}a_2 + \frac{1}{4}a_1 + \frac{1}{8}a_0 \right) = \\
 &= \frac{1}{8}\bar{V} \left( 2^3a_3 + 2^2a_2 + 2^1a_1 + a_0 \right)
 \end{aligned}$$

cioè, con un fattore moltiplicativo  $\bar{V}/8$ , la rappresentazione analogica del numero binario:  $a_3, a_2, a_1, a_0$ . Un problema che è presente nel tipo di DAC appena discusso è quello legato al ritardo nella propagazione del segnale associato alla chiusura degli interruttori. Se infatti gli ingressi  $a_3, \dots, a_0$  valgono 1000 e si commutano tutti simultaneamente in 0111 (ricordiamo che il bit più significativo è quello più vicino all'ingresso non-invertente dell'A.O.) l'effetto del cambiamento del bit più significativo si farà sentire per primo ed il sistema passerà nello stato 0000. Successivamente si sentirà l'effetto del cambiamento del secondo bit ed il sistema passerà nello stato 0100, etc. Così, per un breve intervallo di tempo, l'uscita dell'operazionale acquisterà la successione di valori (decimali) 8,4,6,7. Per ovviare a questo inconveniente conviene adottare uno schema in cui gli interruttori sono collegati tutti direttamente all'ingresso dell'operazionale. Uno schema (invertente) che realizza questo scopo è quello mostrato in figura 18.14.

Notiamo che gli interruttori  $a_3, a_2, a_1, a_0$  sono collegati o a massa o comunque alla massa virtuale dell'operazionale. La resistenza vista da un generico nodo (0-3), guardando verso destra o verso il basso è sempre pari a  $2R$ . La corrente erogata dal generatore sarà quindi quella che attraversa due resistenze in parallelo, ciascuna uguale a  $2R$ . Tale corrente è quindi:  $I = V_R/R$ . Se ora  $a_3$  è collegato all'ingresso invertente dell'A.O. e gli altri interruttori sono collegati a massa, una corrente pari ad  $I/2$  fluirà nella resistenza di feedback ( $2R$ ) e quindi avremo:

$$V_o = -2R \frac{I}{2} = -RI = -V_R$$

Se ad esser collegato all'ingresso invertente è invece  $a_2$ , la corrente nella medesima resistenza sarà la metà di quella precedente, e quindi:

$$V_o = -\frac{1}{2}V_R$$

e così via per  $a_1, a_0$ . Il funzionamento di questo circuito è quindi analogo a quello discusso in precedenza, ma ora il problema dei ritardi è eliminato.

Uno dei vantaggi di un circuito di conversione a "ladder" del tipo esaminato è costituito dal fatto che una "scala" di resistenze R-2R può esser realizzata industrialmente con tecniche di deposizione di film sottili su di un singolo substrato. Ciò fa sì che le variazioni di temperatura siano le stesse per tutte le resistenze del ladder; si ottengono in tal modo variazioni delle resistenze relative, con la temperatura, inferiori ad una parte per mille per °C.

I convertitori D/A esaminati rientrano nella categoria del tipo *moltiplicatore* (Multiplying D/A converter o MDAC). Un MDAC è un convertitore D/A che accetta una  $V_R$  (tensione di riferimento) variabile nel tempo. L'output è quindi proporzionale alla  $V_R(t)$  secondo una costante di proporzionalità che dipende dal numero binario impostato sull'ingresso digitale. Un dispositivo di questo tipo può esser utilizzato quindi per moltiplicare due segnali, uno dei quali sia disponibile in forma digitale e l'altro in forma analogica. Ad esempio, essi possono essere adoperati per effettuare una conversione da coordinate polari  $(r, \theta)$  a coordinate cartesiane realizzando la moltiplicazione:  $r \cos \theta$ . Esistono versioni ultraveloci di MDAC, quali il modello AD668 (Analog Devices) che è estremamente veloce ed è disponibile sotto la forma di circuito integrato.

## 18.4 Convertitori Digitale-Analogico pilotati in corrente

I DAC che abbiamo esaminato hanno l'inconveniente di far uso di interruttori basati su transistor bipolari, che vengono portati dall'interdizione alla saturazione e viceversa. Questo rappresenta un limite alla velocità di conversione poichè, come sappiamo, un transistor impiega tempi relativamente lunghi per uscire dalla saturazione. L'alternativa di far uso di interruttori basati su FET presenta altri problemi, legati all'impedenza dei FET e delle resistenze necessarie per polarizzarli.

Un tipo di DAC che non risente di questi problemi è quello che sostituisce il generatore di tensione  $V_R$  con generatori di corrente posti in ciascuno dei rami della rete R-2R, e che adopera interruttori in logica ECL, attraverso i quali le correnti possono essere indirizzate verso l'opportuno nodo della rete, o verso massa. Lo schema di principio di tale circuito è mostrato in figura 18.15.

Come si vede, ciascuno degli interruttori può esser chiuso sul nodo  $i^{mo}$  della rete R-2R o su di una resistenza di valore  $2/3R$ . È facile vedere che la resistenza vista guardando dall'interruttore verso il nodo  $i^{mo}$  è anch'essa pari a  $2/3 R$ . Infatti, come è facile verificare relativamente, ad esempio, al nodo  $a_0$  il circuito equivalente è quello di figura 18.16.

Si vede da tale figura che la resistenza "vista" dal generatore di corrente che alimenta tale nodo è:  $2/3R$ . Lo stesso è vero per gli altri nodi. Se ora ammettiamo

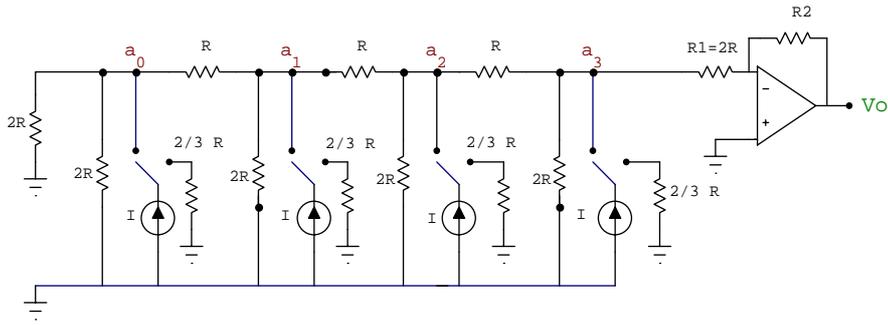


Figura 18.15:

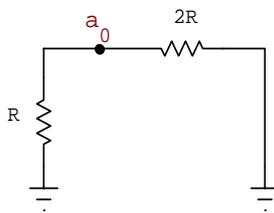


Figura 18.16:

che l'interruttore che è collegato al nodo  $a_3$  sia in posizione tale da collegare il generatore alla rete, la corrente nella resistenza  $R_1$  sarà uguale a:

$$I_1 = \frac{1}{3}I$$

e la tensione all'uscita dell'operazionale:

$$V_o = -R_2 I_1 = -\frac{R_2}{3}I$$

Se invece l'interruttore  $a_3$  è chiuso sulla resistenza  $2/3R$  e ad essere collegato alla rete è invece il generatore che alimenta  $a_2$ , è facile vedere che la corrente in  $R_1$  sarà la metà di quella precedente, e quindi la tensione in uscita sarà:

$$V_o = -R_2 I_1 = -\frac{R_2}{3}I \cdot \frac{1}{2}$$

Vediamo così che i generatori collegati ai nodi  $a_2, a_1, a_0$  compaiono nella tensione d'uscita con pesi che è ciascuno la metà di quello del nodo di indice immediatamente più elevato. Il circuito è quindi un convertitore digitale-analogico a 4 bit.

Come accennato, gli interruttori in tale circuito sono realizzati con porte ECL, ciascuna delle quali è costituita da una coppia di transistor accoppiati, come mostrato in figura 18.17. Il segnale di tensione applicato alla base del transistor TB di figura fa' sì che la corrente fluisca nello stesso transistor, e quindi verso massa, o nel transistor TA, che alimenta il relativo nodo della rete R-2R. É chiaro che in tale circuito la corrente non viene mai interrotta, ma semplicemente incanalata su uno o l'altro dei due rami.

Per un'analisi dettagliata di tale switch, si consulti le referenze [6] o [7].

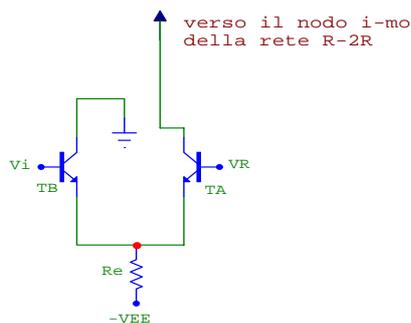


Figura 18.17:

## 18.5 Convertitori Analogico-Digitale (ADC)

### 18.5.1 ADC a contatore (Counting ADC)

Se il segnale analogico da convertire è disponibile all'uscita di un sistema di Sample-And-Hold, la conversione può essere realizzata in vari modi. Di questi, il più semplice ed economico (anche se probabilmente il più lento) è quello che fa uso di un contatore, un DAC ed un comparatore. Il principio su cui tale circuito si basa è quello di generare, facendo uso del contatore, una sequenza di numeri binari, del numero di bit che si intende adoperare per la conversione, partendo da zero, fino al massimo valore che il numero dei bit consente. Tale numero viene convertito dal DAC in un livello di tensione e questo è poi confrontato dal comparatore con il segnale che si desidera convertire. Ammettendo che questo sia positivo e che esso sia applicato all'ingresso non-invertente del comparatore, al cui ingresso invertente è inviata l'uscita del DAC, il segnale in uscita dal comparatore sarà positivo fino a quando il numero binario generato dal contatore non sia tale da far sì che il segnale all'uscita del DAC superi in ampiezza il segnale da convertire. Qualora invece il confronto dia un'uscita negativa, un opportuno segnale blocca il contatore. Il numero letto all'uscita del contatore a questo punto è una stima (approssimata per eccesso) del segnale da convertire. Lo schema di funzionamento è quello mostrato in figura 18.18.

Un impulso di clear resetta il contatore binario, che conta il numero di impulsi che vengono dal clock. L'uscita del contatore è quindi un numero binario che aumenta linearmente (nel nostro caso, in cui abbiamo ipotizzato 4 bit, l'uscita varierà da 0 a 15). Questo numero binario viene convertito dal DAC in un segnale di tensione  $V$ , proporzionale al numero binario stesso, secondo una costante di proporzionalità nota, dipendente dalle caratteristiche del DAC. La tensione  $V$  viene poi confrontata, tramite il comparatore  $C$ , con la tensione da convertire,  $V_a$ . Fino a che è  $V_a > V$ , l'uscita del comparatore sarà alta. Di conseguenza l'input  $b$  della porta AND sarà alto ed i segnali di clock continueranno a fare avanzare il contatore. Si noti che  $V_a$  non potrà superare il massimo valore che  $V$  può assumere, che nel nostro esempio di un contatore a quattro bit vale  $15V_R$ , dove  $V_R$  è la tensione di fondo scala del DAC.

Quando  $V$  supera  $V_a$ , l'uscita del comparatore va al livello basso ed il gate AND viene ad essere disabilitato. Ora il clock si arresta ed il numero binario presente sui canali di output corrisponde al numero binario immediatamente più alto (di 1 bit) del valore binario di  $V_a$ .

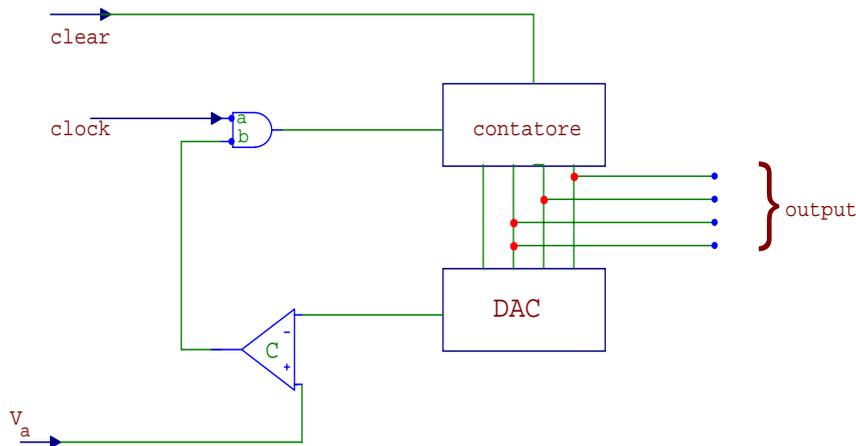


Figura 18.18:

Notiamo che tale convertitore è affetto da un "errore di quantizzazione" legato al numero di bit adoperato. L'errore è tipicamente uguale a metà del bit meno significativo. Così ad esempio, ammettendo di avere un ADC a 4 bit, con una risoluzione di 1 bit/100 mV, l'errore sarà di  $\pm 50$  mV.

Questo tipo di ADC è intrinsecamente lento. Se infatti l'impulso  $V_a$  in ingresso è vicino al fondo scala, occorreranno quasi 15 impulsi di clock ed altrettanti confronti per realizzare la conversione. Se il numero di bit fosse 12 e  $V_a$  fosse vicino al fondo scala, dovremmo aspettare 4095 impulsi di clock. Se la frequenza del clock fosse 50 ns, dovremmo aspettare circa 200  $\mu$ s per ottenere una conversione.

Un circuito che, pur basandosi, come il precedente, sull'idea del confronto del livello di tensione con tutta una serie di livelli di tensione generati da un DAC, realizza lo stesso scopo in tempi molto inferiori, è quello noto come "ADC ad approssimazioni successive", discusso nella prossima sezione.

### 18.5.2 ADC ad approssimazioni successive

Per comprendere il principio su cui è basato questo ADC, ammettiamo di voler convertire in binario un numero compreso tra 0 e 15, ad esempio il numero 8.5. Nel metodo descritto in precedenza noi facciamo avanzare un contatore, partendo da 0, confrontando l'uscita analogica con il numero. Il confronto viene prima effettuato con il numero 0, poi con l'1 e via dicendo fino a 9. Il numero di confronti, e quindi di cicli di clock, è 10. Ammettiamo di fare il confronto in modo diverso, ponendoci cioè le seguenti domande:

- a) è il numero maggiore o uguale ( $\geq$ ) della metà del range totale? (cioè di 8). Se la risposta è positiva, il valore è compreso tra 8 e 16 (estremo superiore escluso); altrimenti esso è compreso tra 0 e 8. Nel primo caso il bit più significativo del numero cercato è 1, nel secondo 0
- b) Nel caso in cui il primo bit sia risultato essere 1, (è il nostro caso, poichè il nostro numero è 8.5) confrontiamo il numero con il valore che divide a metà

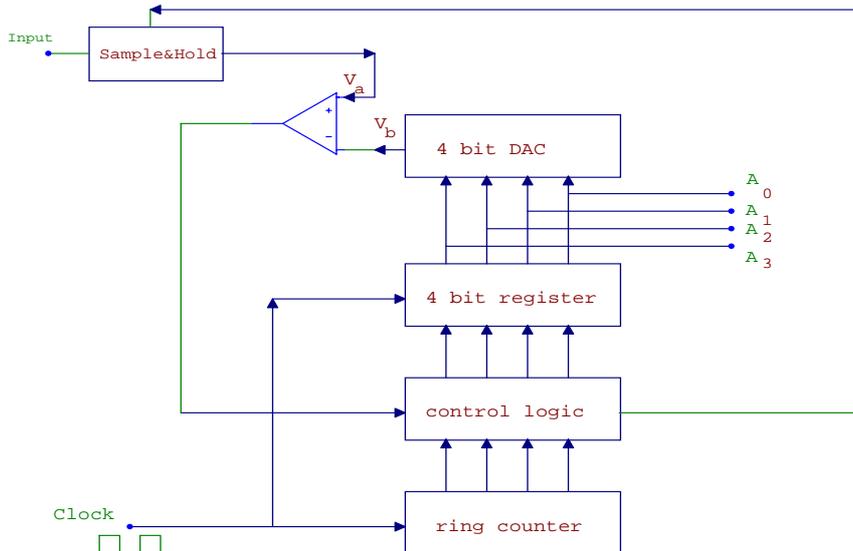


Figura 18.19:

il range (8-16), cioè con 12. Se il risultato del confronto è positivo (numero  $\geq 12$ ) il secondo bit del numero cercato è 1, altrimenti è 0. Infatti notiamo che  $12_{10} = 1100_2$ . Ammettiamo che il risultato del confronto sia negativo e che quindi il secondo bit sia 0, allora:

- c) Confrontiamo il numero con quello che divide a metà il range 8-12, cioè con 10. Se il risultato del confronto è positivo (cioè il numero è  $\geq 10$ ) il terzo bit è 1, altrimenti esso è 0. Infatti  $10_{10} = 1010_2$ . Nel nostro caso troveremo che il terzo bit è 0
- d) Confrontiamo infine il numero con quello che divide a metà il range (8-10), cioè con 9. Se il risultato del confronto è positivo, il quarto bit dovrà essere 1, altrimenti esso è 0. Nel nostro esempio il bit è 0

A questo punto la conversione è terminata. Il numero di confronti è stato solo 4, anziché 10. Ciascun confronto effettuato determina il valore di uno dei bit, a cominciare da quello più significativo fino a quello meno significativo. Si può dimostrare in generale che la conversione di un numero di N bit con questo sistema richiede solo N confronti e non più  $2^N$ , come nel caso precedente. Ad esempio, per un numero di 12 bit il numero dei confronti è 12 anziché  $2^{12} = 4096$ . Lo schema di massima del circuito è mostrato in figura 18.19.

Si inizia con l'impostare i bit all'ingresso del DAC in modo che solo il bit più significativo  $A_3$  sia 1. L'uscita del DAC è quindi una tensione corrispondente al numero  $1000 = 8_{10}$ . Si confronta  $V_b$  con  $V_a$ . Se  $V_a \geq V_b$  la logica di controllo lascia a 1 il bit più significativo, altrimenti lo mette a 0. Il successivo impulso del contatore ad anello (ring-counter) pone  $A_2 = 1$  mentre lascia invariati gli altri bit.

Nel nostro esempio, in cui il numero (tensione in ingresso) era 8.5 V, il primo confronto avrebbe posto  $A_3 = 1$ . Ora la configurazione presente nel registro è:

$A_3$	$A_2$	$A_1$	$A_0$
1	1	0	0

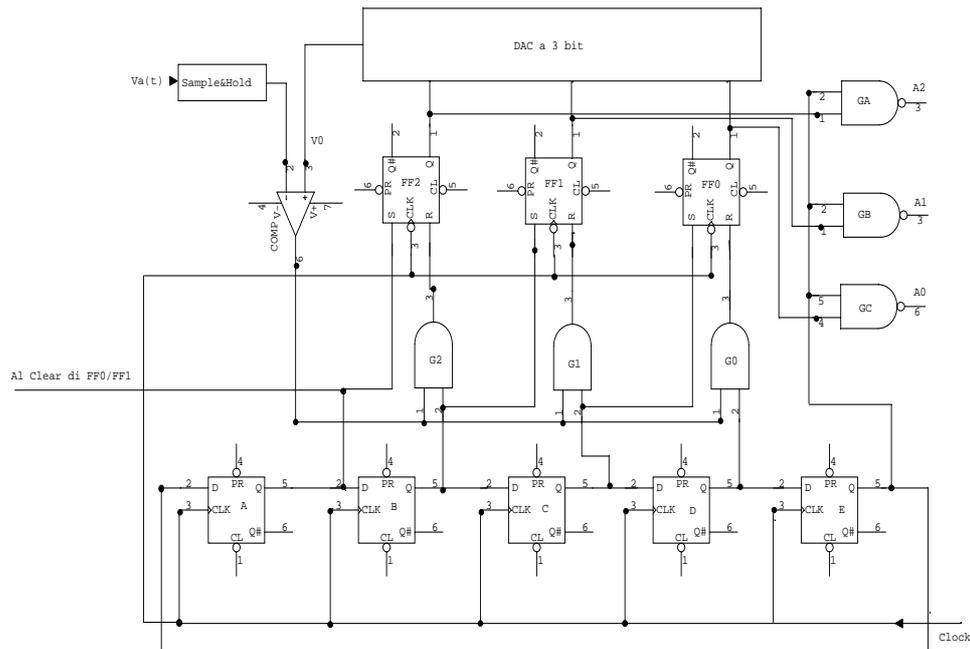


Figura 18.20:

Quindi la tensione  $V_b$  all'uscita del DAC è 12V. Un ulteriore confronto troverà quindi  $V_a = 8.5 V$  e  $V_b = 12 V$ , per cui l'uscita del comparatore sarà bassa. Ora la logica di controllo pone a 0 il bit  $A_2$  e ad 1 il bit  $A_1$ . Quindi ora avremo:

$$\begin{array}{cccc} A_3 & A_2 & A_1 & A_0 \\ 1 & 0 & 1 & 0 \end{array}$$

Corrispondente a  $10_{10}$ . Il successivo confronto trova ancora una volta un livello basso all'uscita del comparatore. Ora la logica di controllo pone  $A_1 = 0$  e  $A_0 = 1$ :

$$\begin{array}{cccc} A_3 & A_2 & A_1 & A_0 \\ 1 & 0 & 0 & 1 \end{array}$$

corrispondente a  $9_{10}$ . Il successivo impulso di clock pone  $A_0 = 0$ , lasciando invariati  $A_3, A_2, A_1$ :

$$\begin{array}{cccc} A_3 & A_2 & A_1 & A_0 \\ 1 & 0 & 0 & 0 \end{array}$$

corrispondente a  $V_b = 8$ . Ora il ciclo di arresta. La conversione è terminata. Una possibile implementazione di un convertitore di questo tipo, limitato, per evitare eccessive complicazioni, a 3 bit, è mostrata in figura 18.20. I cinque FF di tipo D ( $A, B, C, D, E$ ) sono connessi in modo da realizzare un anello modulo 5. Le cinque uscite vengono a trovarsi una alla volta al livello logico 1. I tre FF ( $FF0, FF1, FF2$ ) servono a registrare i bit, con  $FF0$  che registra il bit meno significativo ed  $FF2$  quello più significativo.

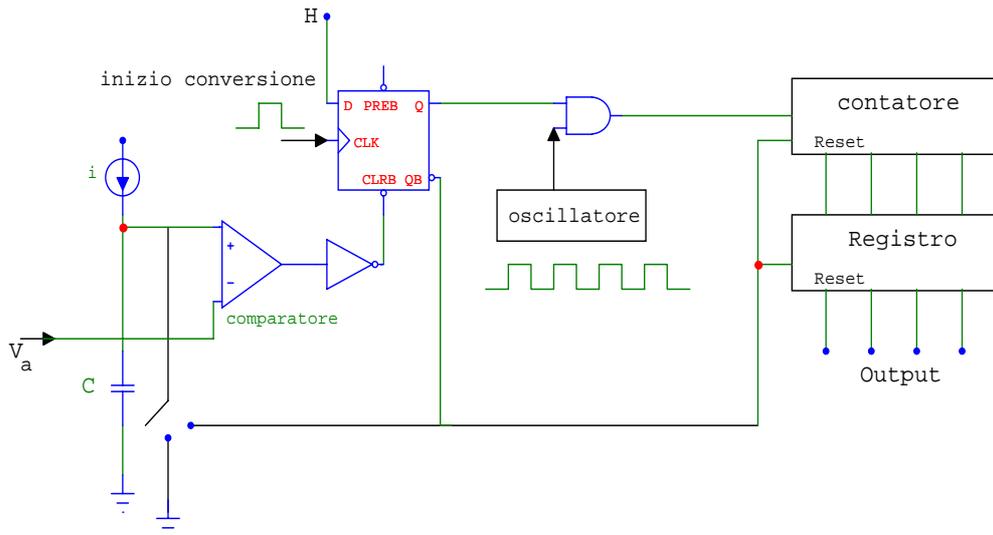


Figura 18.21:

Si inizia con  $Q_A = 1$ ,  $Q_B = 0$ ,  $Q_C = 0$ ,  $Q_D = 0$ ,  $Q_E = 0$ . Il FF2 è quindi nello stato di SET mentre FF0, FF1 sono in quello di RESET. Avremo quindi  $Q_2 = 1$ ,  $Q_1 = Q_0 = 0$ . In tal modo il numero binario 100 viene dato in ingresso al DAC. L'uscita del comparatore sarà  $C_0 = 0$  se  $V_a \geq V_0$ , sarà  $C_0 = 1$  se  $V_a < V_0$ . Nel successivo ciclo  $Q_B$  sarà uguale ad 1, mentre tutti gli altri saranno 0. Con ciò la porta  $G_2$  risulterà abilitata ed FF2 verrà a trovarsi nello stato di RESET se  $C_0 = 1$ , di SET se  $C_0 = 0$ . Ciò che in sostanza abbiamo fatto è stato di provare ad assegnare il valore 1 al bit più significativo; l'abbiamo lasciato uguale ad 1 se il risultato del confronto dava un valore di  $C_0 = 0$  (cioè se  $V_a \geq V_0$ ) mentre l'abbiamo posto uguale a 0 nell'altro caso. Con il successivo impulso di clock, il livello 1 si sposta da  $Q_B$  a  $Q_C$ . Con ciò sarà ora abilitata  $G_1$ .

$Q_2$  rimane al valore che aveva in precedenza. Il nuovo numero binario presente sui FF ( $Q_2, Q_1, Q_0$ ) viene ora convertito dal DAC e fornito al comparatore. Se  $V_0 \leq V_a$ ,  $C_0 = 0$  e le porte ( $G_A, G_B, G_C$ ) rimangono disabilitate. Quindi  $Q_1$  non sarà resettato. Se invece  $C_0 = 1$ , la porta  $G_1$  sarà abilitata e  $Q_1$  sarà resettato. Il confronto prosegue fino a quando  $Q_E$  non diventi uguale ad 1. A quel punto vengono abilitate le porte  $G_A, G_B, G_C$  e l'uscita digitale sarà disponibile per la lettura.

### 18.5.3 Convertitore ADC a rampa singola

In tale convertitore si misura il tempo necessario affinché una sorgente di corrente costante carichi un condensatore di capacità nota ad una tensione pari a quella che si vuol digitizzare. Il relativo schema è mostrato in figura 18.21:

Ammettiamo che C sia inizialmente scarico e che  $V_a$  sia una tensione positiva. L'uscita del comparatore sarà bassa. Il segnale di inizio conversione porrà ad 1 l'uscita Q del FF, con che la porta AND sarà abilitata ed il contatore conterà gli impulsi di clock. Nel frattempo la corrente costante  $i$  carica il condensatore C e

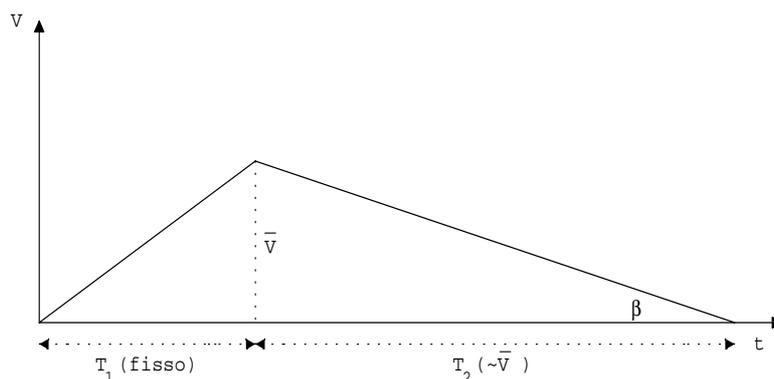


Figura 18.22:

dopo un tempo tale che:

$$V_+ = \frac{i}{C} \Delta t = V_a$$

l'uscita del comparatore si porterà al suo livello alto, resettando con ciò il F.F.. Ora  $\overline{Q}$  passerà al livello alto e  $Q$  a quello basso. La porta AND sarà disabilitata ed il registro indicherà un conteggio  $N$  proporzionale a  $\Delta t$  e quindi a  $V_a$ . Il livello alto di  $\overline{Q}$  resetterà contatore e registro, oltre a chiudere l'interruttore, scaricando così il condensatore. Il sistema è così pronto ad un nuovo ciclo di conversione. Questo tipo di ADC, pur molto semplice, non è altrettanto accurato. L'accuratezza è determinata dall'accuratezza e stabilità della capacità  $C$ , del generatore di corrente e del comparatore. Per questo motivo si preferisce ricorrere all'ADC a doppia rampa, descritto nel paragrafo successivo.

#### 18.5.4 L'ADC a doppia rampa

In questo tipo di ADC l'idea base è la seguente. Un convertitore tensione-corrente viene utilizzato per fornire ad un condensatore una corrente rigorosamente proporzionale alla tensione  $V_a$  applicata all'ingresso (tensione che si vuol digitizzare). Ciò vien fatto per un intervallo di tempo  $T_1$  fisso e ben definito. Il condensatore si carica fino a raggiungere una tensione  $\overline{V}$  come indicato in figura 18.22.

Successivamente, il condensatore viene scaricato a corrente costante, fino a che, dopo un tempo  $T_2$ , non si annulli la tensione ai suoi capi. Un contatore misura il numero di impulsi forniti dal clock nel tempo  $T_2$ . L'uscita del contatore sarà quindi proporzionale a  $T_2$ , che a sua volta è proporzionale a  $\overline{V}$  (essendo la pendenza  $\beta$  una costante) determinata da  $V_a$ .

Prima di esaminare i dettagli di un tipico circuito di questo tipo, notiamo che il risultato ora non dipende dal preciso valore  $C$  della capacità. Infatti, se  $C$  aumenta, nell'intervallo di tempo  $T_1$  la corrente  $i$  caricherà il condensatore ad una tensione più bassa. Questa sarà comunque tale che il prodotto  $C\overline{V}$  sia costante. Nella successiva scarica del condensatore (a corrente costante  $i$ ) il tempo  $T_2$  sarà determinato dalla condizione:

$$T_2 = \Delta t = \frac{C\overline{V}}{i}$$

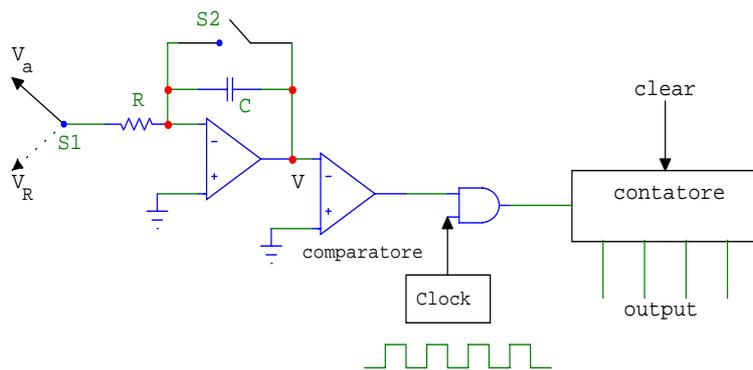


Figura 18.23:

e sarà quindi il medesimo di prima, essendo  $\bar{V}$  diminuito in modo tale che  $C\bar{V}$  rimanesse costante.

Notiamo inoltre che, essendo il conteggio espresso in numero di impulsi di clock, il risultato non dipende dal valore esatto della frequenza del clock. Infatti, ammettiamo che il clock sia un po' più lento del "normale". Essendo  $T_1$  espresso in numero di cicli di clock, l'intervallo  $T_1$  sarà fisicamente più lungo del "normale" e di conseguenza  $\bar{V}$  sarà maggiore. Il processo di scarica impiegherà quindi un tempo corrispondentemente più lungo. Ma, essendo alla fine tale tempo espresso in unità di cicli di clock, che sono più lenti del "normale", il numero risultante risulterà invariato.

Veniamo ora ad un'implementazione schematica di tale convertitore, come quella di figura 18.23.

Ammettiamo che  $V_a$  sia  $> 0$  e  $V_R < 0$ . L'interruttore  $S_1$  è inizialmente aperto,  $S_2$  è chiuso ed il contatore è azzerato. Ammettiamo ora che all'istante  $t = t_1$   $S_1$  sia portato in posizione  $V_a$  ed  $S_2$  venga aperto. L'operazionale darà un segnale di tensione  $V$  in uscita proporzionale all'integrale di  $V_a$  (che ammettiamo rimanga costante durante il tempo di conversione). Inoltre tale segnale sarà negativo. Ammettendo che il contatore sia congegnato in modo da azzerarsi dopo  $2^N$  impulsi di clock (dove  $N$  è il numero di bit in uscita) e che dopo tale tempo esso dia un segnale di clear che agisce su  $S_1$  portandolo in posizione  $V_R$ , avremo che, a partire da tale istante il condensatore comincia a scaricarsi e  $V$  comincia a risalire, come mostrato in figura 18.24.

Vediamo dalla figura che  $V$  prima decresce e poi cresce linearmente nel tempo. Al tempo  $t = t_3$  l'uscita  $V$  dell'integratore ripassa per lo zero. Fino a che  $V$  rimane negativo, l'uscita del comparatore sarà al suo livello alto e la porta AND permetterà il conteggio degli impulsi di clock. In  $t = t_3$   $V$  diviene uguale a zero, il gate AND è disabilitato ed il conteggio si arresta. Possiamo ora far vedere che la lettura del contatore al tempo  $t = t_3$  è proporzionale al segnale in ingresso. Questo può essere compreso intuitivamente, se si pensa che la pendenza del segmento di retta che rappresenta  $V$  nell'intervallo di tempo  $t_1 - t_2$  è proporzionale all'ampiezza del segnale in ingresso. Di conseguenza, l'altezza massima raggiunta da  $V$  è proporzionale al

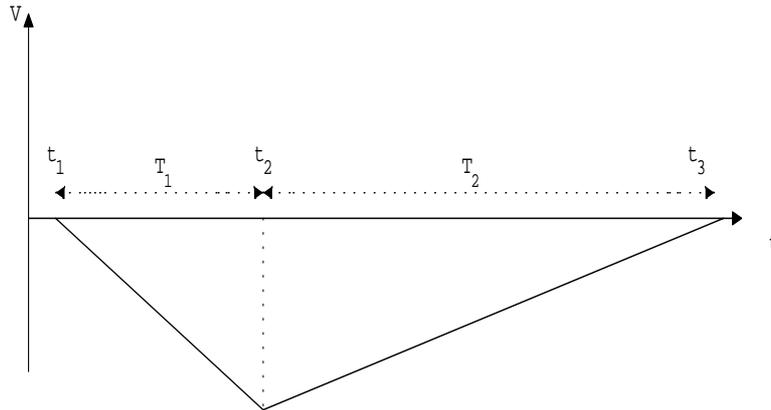


Figura 18.24:

segnale in ingresso. D'altronde, il tempo che il segnale impiega a ritornare a zero è proporzionale all'altezza massima che esso aveva raggiunto, e tale tempo è quello che il contatore ha sulla propria uscita digitale alla fine, cioè al tempo  $t_3$ . In modo più formale; il valore di V per  $t = t_3$  è dato da:

$$V = -\frac{1}{RC} \int_{t_1}^{t_2} V_a dt - \frac{1}{RC} \int_{t_2}^{t_3} V_R dt = 0$$

da cui:

$$V_a(t_2 - t_1) + V_R(t_3 - t_2) = 0$$

e quindi:

$$V_a \cdot T_1 + V_R \cdot T_2 = 0$$

Se il numero di impulsi nel tempo  $t_2 - t_3$  è  $n_2$ , allora  $T_2 = n_2 T$ ; inoltre:  $T_1 = n_1 T$ ; per cui:

$$V_a 2^N T + V_R n_2 T = 0$$

$$V_a = n_2 \frac{|V_R|}{2^N} = k n_2$$

### 18.5.5 Flash ADC

Un tipo di ADC estremamente veloce è quello a comparatori paralleli, noto anche come Flash ADC. L'idea base di questo convertitore è quella di confrontare la tensione da convertire con un insieme finito di livelli di tensione predeterminati, corrispondenti ciascuno ad un diverso numero binario in uscita. Il confronto vien fatto contemporaneamente con tutti tali livelli di tensione; ciò che rende il circuito estremamente veloce. Esaminiamo la struttura base di un convertitore a 3 bit, quale quello mostrato in figura 18.25.

$V_a$  è la tensione da convertire,  $V_o$  una tensione fissa di riferimento. Il partitore costituito dalle resistenze  $R/2, R$ , fa sì che l'ingresso non invertente del comparatore

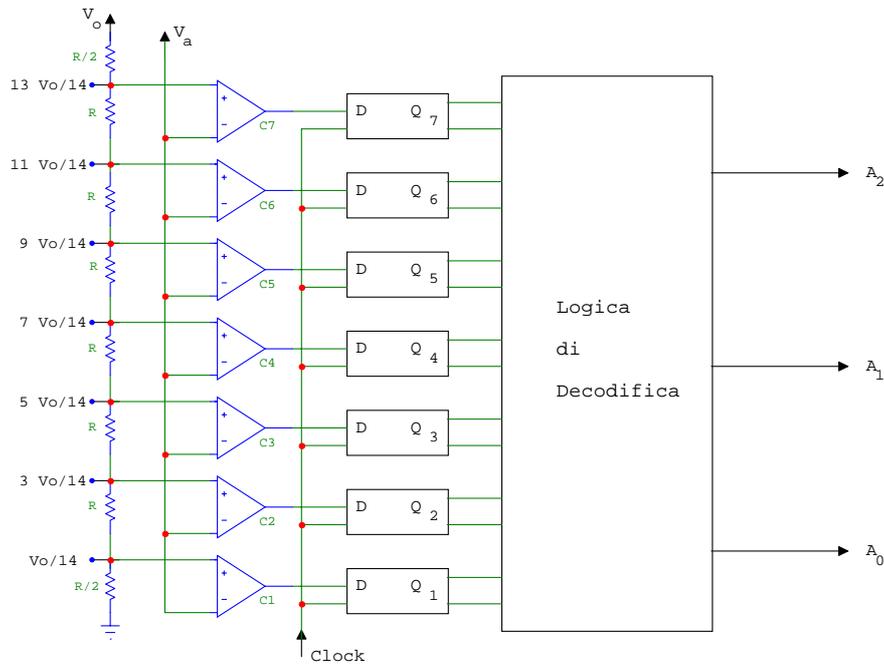


Figura 18.25:

$C_7$  sia ad una tensione pari a  $13V_o/14$ , quello di  $C_6$  a  $11V_o/14$ , e via dicendo, fino a  $C_1$  che ha l'ingresso non invertente a  $V_o/14$ . L'uscita dei comparatori è collegata all'ingresso di altrettanti flip-flop di tipo D, che a loro volta sono collegati alla logica di decodifica (costituita di porte AND) che genera i bit  $A_0, A_1, A_2$ .

Ammettiamo che  $V_a$  sia compresa tra  $5/14V_o$  e  $7/14V_o$ . L'uscita dei comparatori  $C_1, C_2, C_3$  sarà allora al livello 0, mentre quella dei restanti sarà al livello 1. Notiamo che *tutti* i comparatori  $C_i$  con  $i > 3$  hanno le uscite al livello 1, mentre tutti i comparatori  $C_i$  con  $i \leq 3$  hanno le uscite al livello 0. Se ora  $V_a$  aumentasse e salisse ad esempio al di sopra di  $7/14V_o$ , il numero delle uscite che sono al livello 0 aumenterebbe, cioè la colonna degli 0 salirebbe. Quindi l'altezza di tale colonna è una misura della tensione  $V_a$  applicata in ingresso. Per tale motivo è invalso l'uso di riferirsi all'output della colonna dei comparatori come "thermometer code", poichè sale e scende come la colonnina di mercurio in un termometro. La logica di controllo, la cui struttura interna non è indicata, è essenzialmente un decodificatore. Alla configurazione del nostro esempio dovranno corrispondere in uscita i bit 011. Tale ADC richiede  $2^{N-1}$  comparatori per convertire una tensione in un numero di N bits; cioè 4095 comparatori per un numero di 12 bit.

## 18.6 Caratteristiche dei DAC ed ADC commerciali

In questa sezione accenneremo brevemente alle caratteristiche dei DAC disponibili in commercio, discutendo quelli che sono i parametri più importanti tra quelli quotati dai produttori. Tale terminologia si applica, con le dovute precisazioni, anche ai convertitori analogico-digitale. Per ulteriori dettagli si consiglia di consultare i

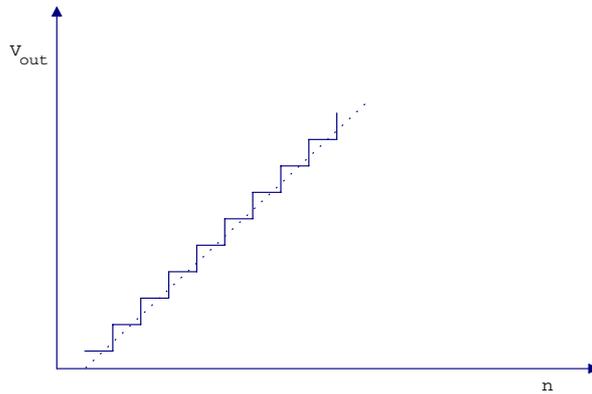


Figura 18.26:

manuali forniti dai produttori. Ad esempio, si consulti il sito WEB della National Semiconductor [8]

- Risoluzione

Questa è determinata dal numero di bits del convertitore. Un convertitore a 8 bit può "distinguere" 256 numeri diversi ed ha quindi una risoluzione di  $1/256 \approx 4\%$ . Un convertitore a 12 bit può distinguere 4096 livelli (numeri) diversi ed ha una risoluzione di circa lo 0,24%.

- Linearità

Se applichiamo all'ingresso di un DAC una serie di numeri binari da 0 a  $2^N - 1$ , dove N è il numero di bit, la tensione in uscita avrà un andamento a scala, come mostrato in figura 18.26.

Se effettuiamo un fit con una retta a tale andamento e valutiamo poi lo scostamento di ciascun gradino da tale retta, si definisce di solito "non-linearità" la massima deviazione trovata. Idealmente questa dovrebbe essere inferiore alla variazione di tensione corrispondente ad una variazione di metà del bit meno significativo. Ad esempio, se il convertitore è a 12 bit e quindi il numero dei livelli possibili è 4096, la deviazione dalla linearità dovrebbe idealmente essere inferiore a  $\frac{1}{2} \frac{1}{4096} = 1.2 \cdot 10^{-4}$ .

- Linearità differenziale

È in genere quotata una non-linearità differenziale, definita come la differenza tra la variazione di tensione letta in uscita e quella ideale, cioè quella corrispondente alla variazione di 1 LSB (bit meno significativo) in ingresso. Ad esempio, un DAC per il quale, variando l'ingresso di un LSB si osservi una variazione della tensione in uscita che corrisponda ad 1.5 LSB, ha una non-linearità differenziale di 1/2 LSB.

- Monotonicità

All'aumentare del numero binario impostato sull'ingresso di un DAC, la tensione in uscita deve salire in corrispondenza. Se per un certo incremento

dell'input, l'uscita subisce una diminuzione, il DAC non è monotono. La non-monotonicità è quindi legata alla non-linearità.

- Offset

Questo è il segnale che è presente in uscita quando l'ingresso digitale è zero. Questo è in genere specificato in  $mV$  o  $\mu V$  o come frazione del bit meno significativo.

- Precisione (Scale error)

Questa è la differenza tra la tensione analogica reale in uscita e quella ideale. La mancanza di linearità contribuisce a diminuire la precisione. La precisione è in genere quotata ad esempio come "0.1% di fondo scala  $\pm\frac{1}{2}$  del bit meno significativo".

- Errore di offset

È la tensione all'uscita del DAC quando tutti gli ingressi zero. Questo è causato in genere dalla tensione o corrente di offset degli operazionali impiegati. In genere è aggiustabile regolando un trimmer o potenziometro esterno al DAC.

- Tempo di assestamento

Questo è definito come l'intervallo di tempo necessario, dopo l'applicazione dell'input, perchè l'uscita si assesti sul suo valore asintotico.