

Capitolo 12

Caratteristiche e principi di funzionamento delle principali famiglie logiche

12.1 Introduzione

I circuiti logici che sono alla base dei computer, sistemi di controllo, sistemi di codifica e trasmissione di dati digitali etc., sono classificabili in un certo numero di "famiglie", ciascuna con proprie caratteristiche, quali i livelli di tensione, la velocità di commutazione, le dimensioni del componente elementare, la dissipazione di potenza e, non ultimo, il costo.

In questa sezione ci occuperemo delle caratteristiche delle principali di queste famiglie. A titolo illustrativo ci occuperemo della famiglia TTL (Transistor-Transistor Logic) e del suo precursore (non più adoperato) DTL (Diode-Transistor-Logic).

Motivi di spazio non ci consentono di trattare altre due famiglie che, in questi ultimi decenni, hanno avuto una enorme diffusione: i circuiti basati sulla logica MOS (Metal-Oxide-Semiconductor) e CMOS (Complementary MOS), e quelli basati sulla logica ECL (Emitter-Coupled-Logic). Il notevole successo dei circuiti MOS e CMOS è dovuto alla compattezza dei componenti elementari; quello dei secondi all'elevata velocità di commutazione.

Inizieremo con una breve discussione dei livelli di tensione che caratterizzano gli stati dei vari circuiti e di quello che è il margine di errore su tali livelli. Per una discussione delle caratteristiche costruttive delle famiglie MOS, CMOS ed ECL si veda le referenze [12] e [22].

12.2 Livelli logici

I livelli di tensione che corrispondono all'1 logico ed allo 0 logico sono definiti per ogni determinata famiglia logica. Ad esempio nella famiglia TTL tali livelli sono 0 V (livello "Low"="L") e 5 V (livello "High"="H"). Ovviamente le fluttuazioni tra componente e componente ed il rumore che è sempre presente fanno sì che un livello H in logica TTL non sia proprio 5 V ed un livello L non sia esattamente 0 V.

Chiameremo V_{OH} il minimo livello di tensione che deve essere presente all'uscita del circuito se si vuole che questo livello sia riconosciuto come H. Analogamente

chiameremo V_{IH} il minimo livello di tensione che deve essere presente all'ingresso di un circuito se si vuole che questo sia riconosciuto come H.

È ovvio che un circuito non dovrà fornire in uscita un livello H di tensione inferiore a quello che esso stesso riconoscerebbe come livello alto in ingresso. Si deve cioè avere:

$$V_{OH} > V_{IH}$$

Se così non fosse, un piccolo disturbo presente (rumore, accoppiamento elettromagnetico con altri componenti presenti etc.) potrebbe far sì che un livello di tensione H all'uscita del circuito non risultasse tale all'ingresso di un altro circuito nominalmente identico al primo.

La differenza:

$$V_{OH} - V_{IH} = NM_H$$

è nota come il "margine d'errore" (*Noise Margin*=NM) relativo al livello alto.

Per il livello basso esistono analoghe definizioni. Si definisce il massimo livello di tensione che può esser presente all'uscita di un circuito perché questo sia riconosciuto come L: V_{OL} , ed il massimo livello di tensione che può esser presente all'ingresso del circuito perché esso sia riconosciuto come L: V_{IL} .

Ora dovrà essere:

$$V_{IL} > V_{OL}$$

Il relativo Noise Margin (NM) è:

$$NM_L = V_{IL} - V_{OL}$$

Esempio: circuito NOT (invertitore). Se tale circuito ha in ingresso un livello di tensione $V_I < V_{IL}$, esso dovrà fornire in uscita un segnale $V_O > V_{OH}$. Viceversa, se al suo ingresso è presente un segnale di tensione $V_I > V_{IH}$, l'uscita sarà $V_O < V_{OL}$.

Tale comportamento è mostrato in figura 12.1.

Notiamo che, in tale diagramma, le zone scure non corrispondono a stati consentiti. Il circuito può solo effettuare transizioni tra gli stati indicati come "1 logico" (in alto a sinistra) e "0 logico" (in basso a destra).

Qualora l'ingresso o l'uscita del circuito venissero a trovarsi in una delle zone scure in figura, lo stato del circuito sarebbe indeterminato.

Normalmente, i livelli V_{IL} , V_{IH} , V_{OL} , V_{OH} sono specificati per valori delle correnti che non eccedano rispettivamente I_{IL} , I_{IH} , I_{OL} , I_{OH} .

La tabella 12.1 mostra valori tipici, forniti dai costruttori, per le famiglie TTL 54L/74L e CMOS 54C/74C.

Famiglia	V_{CC} (V)	V_{IL} , I_{IL}	V_{IH} , I_{IH}	V_{OL} , I_{OL}	V_{OH} , I_{OH}
54L/74L	5	0.7V , 0.18mA	2.0V, 10 μ A	0.3V, 2.0mA	2.4V, 100 μ A
54C/74C	5	0.8V	3.5V	0.4V, 360 μ A	2.4V, 100 μ A

Tabella 12.1:

All'interno delle famiglie TTL, CMOS etc. esistono "sottofamiglie" con valori lievemente diversi da questi dei vari parametri.

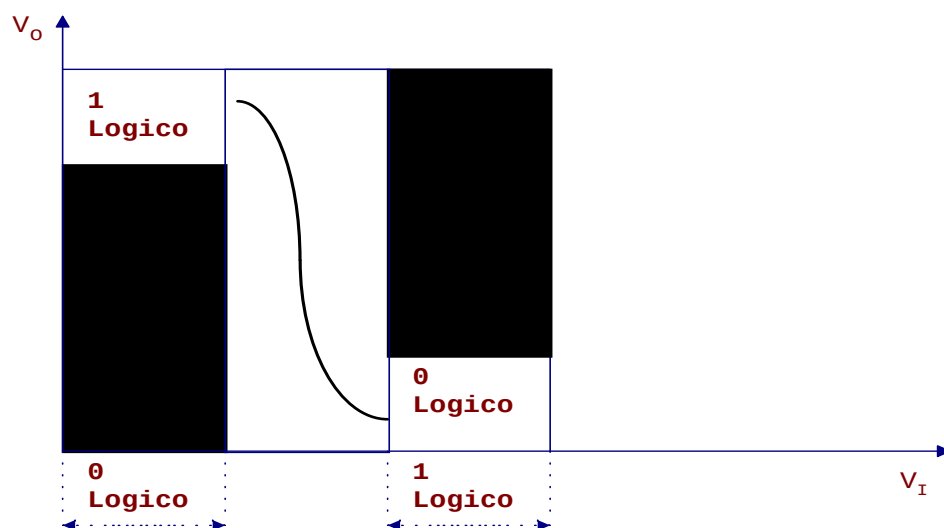


Figura 12.1:

Famiglia	V_{OL}	V_{OH}	V_{IL}	V_{IH}
ECL	-1.7V	-0.9V	-1.4V	-1.0V
NIM	(-1mA, 1mA)	(-14mA, -18mA)	(-4mA, 20mA)	(-12mA, 36mA)

Tabella 12.2:

Le caratteristiche della famiglia ECL sono mostrate, insieme a quelle della logica NIM, che è uno standard usato nei sistemi di acquisizione e trasmissione dei dati in esperimenti di fisica (in particolare in fisica nucleare e subnucleare) nella tabella 12.2.

Si noti che la logica ECL ha livelli negativi di tensione, mentre i livelli relativi alla logica NIM sono di corrente e non di tensione.

Poiché tuttavia è anche specificata l'impedenza dei collegamenti che è 50Ω in logica NIM (e TTL) mentre è 100Ω in logica ECL si vede che in logica NIM il livello logico 1 è circa -0.8 V mentre il livello logico 0 è circa 0 V.

12.3 Il *Fan-Out*

Se l'uscita di una certa porta logica è collegata agli ingressi (in parallelo) di più porte simili, occorrerà tener conto della corrente che queste assorbono. Tale corrente è infatti erogata dalla porta pilota e, qualora fosse troppo elevata, farebbe uscire la prima dalla sua zona di funzionamento normale.

Nella figura 12.2 la porta pilota A, con l'uscita al livello alto, deve erogare una corrente I_{OH} pari a $3I_{IH}$, dove I_{IH} è la corrente assorbita da ciascuna delle porte alimentate dalla prima.

Possiamo schematizzare tale circuito nel modo indicato in figura 12.3.

Se il numero delle porte collegate aumenta, aumenta la corrente erogata dalla porta pilota e di conseguenza, se I_{OH} non può più aumentare diminuisce la tensione

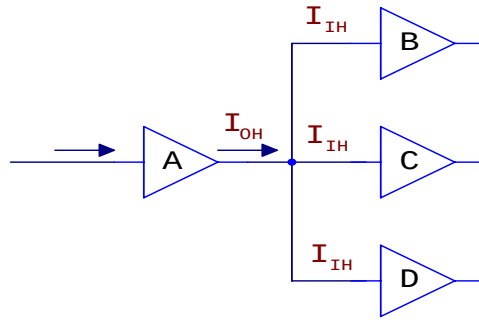


Figura 12.2:

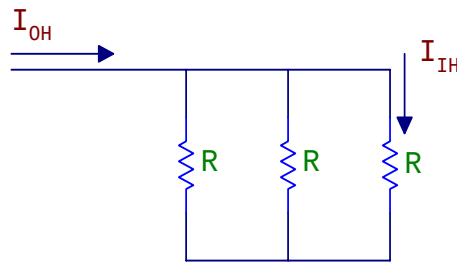


Figura 12.3:

V_{out} ai capi del carico costituito dal parallelo delle tre resistenze. Come si vede facilmente dalla figura, si ha:

$$V_{out} = \frac{R}{N} I_{OH}$$

dove N è il numero delle porte collegate (tre nell'esempio di figura).

Si ha in generale:

$$N_H < |I_{OH}/I_{IH}|$$

Analogamente, se l'uscita della porta pilota è nello stato basso, avremo:

$$N_L < |I_{OL}/I_{IL}|$$

Normalmente i costruttori quotano il più piccolo tra i due valori N_H, N_L . Tale quantità è nota come il *fan-out* della porta logica.

Vedremo nelle prossime sezioni come il fan-out possa esser calcolato in alcuni semplici circuiti logici e quali siano i fattori che lo limitano nei vari casi.

12.4 Circuiti in logica Diodo-Transistore (DTL)

Anche se tali circuiti hanno oramai un interesse puramente storico, è utile esaminarne il funzionamento Poiché da essi sono poi nati i TTL. Un esempio di porta NAND in logica DTL è quello mostrato in figura 12.4.

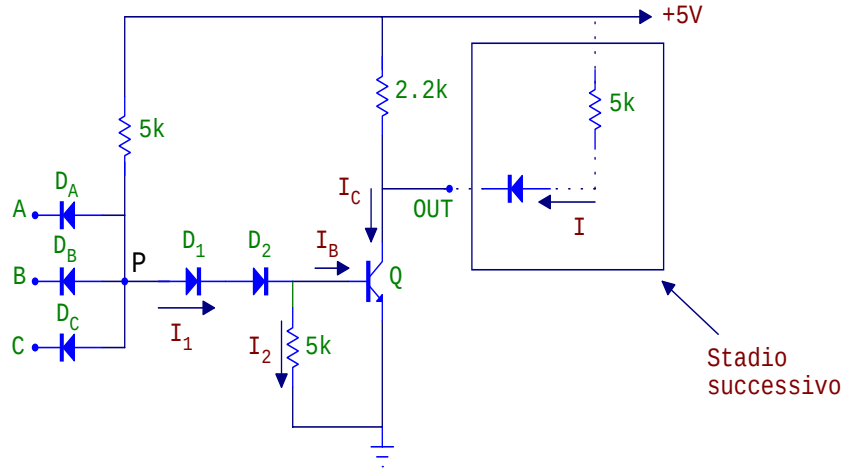


Figura 12.4:

Se almeno uno degli ingressi A, B, C è basso ($< 0.2 V$) il diodo corrispondente conduce e $V_P = 0.2 + 0.7 = 0.9 V$. Perché i diodi D_1 e D_2 conducano, occorre che la tensione ai capi di ciascun diodo sia almeno uguale a $0.7 V$ e che inoltre la differenza di potenziale V_{BE} tra base ed emettitore del transistor sia anch'essa uguale a $0.7 V$. In altri termini deve essere: $V_P > 2 \cdot 0.7 + 0.7 = 2.1 V$. Quindi, nelle condizioni esaminate, D_1 , D_2 sono interdetti. Il transistor, con la base a massa attraverso la resistenza da $5k$, è anch'esso interdetto, quindi $V_{out} = +5 V$. Se tutti gli ingressi A, B, C sono invece alti ($+5 V$) i diodi D_A , D_B , D_C saranno interdetti.

In tali condizioni i diodi D_1 , D_2 condurranno, $V_P = 2.1 V$ ed il transistor Q andrà in saturazione come ora verificheremo.

Esaminiamo lo stato del transistor, tenendo conto del fatto che, con i diodi d'ingresso interdetti, la corrente nei diodi D_1 , D_2 è uguale alla corrente nella resistenza da $5 k$ tra il punto P e l'alimentazione:

$$I_1 = \frac{5 - 2.1}{5k} = 0.58 mA$$

Inoltre:

$$I_2 = \frac{0.7}{5k} = 0.14 mA$$

Si ha quindi:

$$I_B = 0.58 - 0.14 mA = 0.44 mA$$

Se il transistor fosse in saturazione avremmo $V_{CE} \approx 0.2 V$. Allora dovremmo avere:

$$I_B > \frac{I_C}{\beta}$$

Verifichiamo la consistenza:

$$I_C = \frac{5 - 0.2}{2.2k} = 2.18 mA$$

$$\frac{I_C}{I_B} = \frac{2.18}{0.44} = 4.95$$

Il transistor sarà quindi in saturazione se è:

$$h_{FE} \gg \frac{I_C}{I_B} = 4.95$$

Se il nostro transistor ha un $h_{FE_{min}}$ di 30, l'uscita sarà:

$$V_{out} \approx 0.2 \text{ V} \quad (\text{stato LOW})$$

Vediamo così che il circuito si comporta come un NAND.

Valutiamo ora il fan-out.

Se l'uscita V_{out} è bassa, ed essa è collegata (come in figura) all'ingresso di uno stadio *identico*, la corrente nel diodo d'ingresso di tale stadio sarà:

$$I_D = \frac{5 - 0.9}{5k} = 0.82 \text{ mA}$$

Che chiamiamo *carico standard*. Tale corrente si somma a quella che attraversa il transistor. Se colleghiamo all'uscita del nostro NAND gli ingressi di N circuiti simili, la corrente che attraversa il transistor diventa:

$$I'_C = I_C + N \times 0.82 \text{ mA} = 2.18 + 0.82 \times N \quad (\text{mA})$$

Chiediamoci ora quale sia la corrente massima che può attraversare il transistor senza che esso esca dalla saturazione. Questa è:

$$(I'_C)_{max} = h_{FE_{min}} \times I_B = 30 \cdot 0.44 = 13.2 \text{ mA}$$

Perché il transistor rimanga in saturazione deve essere: $I'_C < (I'_C)_{max}$, cioè:

$$2.18 + 0.82 \times N < 13.2 \text{ mA}$$

da cui:

$$N < \frac{13.2 - 2.18}{0.82} \simeq 13$$

Quindi il fan-out del nostro circuito è all'incirca 13.

Un metodo che può essere adoperato per aumentare la corrente di collettore nel transistor (a parità di $(h_{FE})_{min}$) e quindi aumentare il fan-out, è quello di modificare il circuito in modo tale da aumentare la corrente di base in Q_2 . Ciò può esser ottenuto sostituendo il diodo D_1 con un altro transistor, come mostrato in figura 12.5.

Notiamo che, quando i diodi in ingresso sono interdetti, una corrente fluisce nella base di Q_1 . Questo transistor sarà allora in conduzione (zona attiva), Poiché la resistenza R_2 fa sì che la tensione di collettore sia maggiore di quella della base. La giunzione base-collettore è quindi polarizzata inversamente. Ora la corrente di base di Q_2 è fornita dall'emettitore di Q_1 e quindi sarà alta, essendo grandi i valori tipici delle correnti di collettore (emettitore) per un transistor che lavori in zona attiva. Un valore elevato per la corrente di base in Q_2 implica un alto valore della corrente di collettore, anche con un $(h_{FE})_{min}$ non particolarmente elevato, e quindi un grande fan-out.

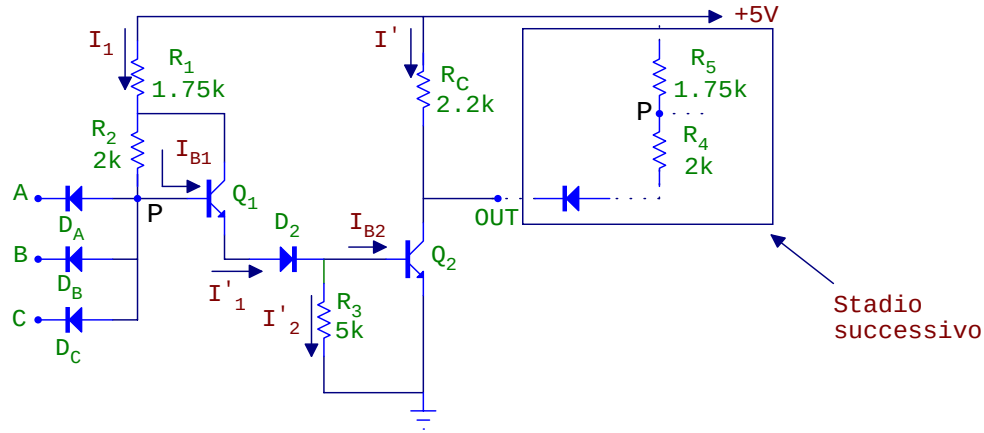


Figura 12.5:

Calcoliamo ora il fan-out, ammettendo che i transistor adoperati abbiano un $(h_{FE})_{min} = 30$ e sapendo che V_{BE} in zona attiva è $\simeq 0.7$ V.

Se almeno uno degli ingressi è basso, il diodo corrispondente conduce e $V_P = 0.9$ V. Se inoltre il V_γ del transistor è 0.5 V, Q_1 sarà interdetto. Infatti, Perché esso conduca, occorre che conducano anche D_2 e Q_2 e quindi che V_P sia almeno uguale a:

$$V'_P = 0.5 + 0.7 + 0.5 = 1.7 \text{ V}$$

Ne segue che Q_2 è anch'esso interdetto e $V_{out} = +5$ V.

Se tutti gli ingressi sono alti, i diodi D_A , D_B , D_C saranno interdetti e Q_1 potrà andare in conduzione (zona attiva). Perché ciò accada basta che V_P si porti ad una tensione pari a:

$$V_P = (V_{BE})_{attiva} + V_{D_2} + (V_{BE_2})_{sat} = 0.7 + 0.7 + 0.8 = 2.2 \text{ V}$$

Con Q_1 in zona attiva e con $V_P = 2.2$ V avremo:

$$I_{C_1} = h_{FE} I_{B_1}$$

$$I_1 = I_{B_1} + I_{C_1} = (1 + h_{FE}) I_{B_1}$$

$$\begin{aligned} V_{CC} - V_P &= (5 - 2.2) \text{ V} = V_{R_1} + V_{R_2} = R_1 (1 + h_{FE}) I_{B_1} + R_2 I_{B_1} = \\ &= 1.75 (1 + h_{FE}) I_{B_1} + 2.0 I_{B_1} \end{aligned}$$

e, se $h_{FE} = 30$, da questa otteniamo:

$$(5 - 2.2) \text{ V} = 2.8 \text{ V} = 56.25 I_{B_1}$$

da cui:

$$I_{B_1} = 0.05 \text{ mA}$$

Inoltre avremo:

$$I'_1 = I_{E_1} = (1 + h_{FE}) I_{B_1} = 1.543 \text{ mA}$$

$$I'_2 = \frac{0.8}{R_3} = \frac{0.8}{5k} = 0.16 \text{ mA}$$

Di conseguenza la corrente di base di Q_2 sarà:

$$I_{B_2} = I'_1 - I'_2 = (1.543 - 0.16) \text{ mA} = 1.383 \text{ mA}$$

Ricordiamo che nel precedente circuito, I_{B_2} era 0.44 mA.

La corrente di collettore di Q_2 , in assenza di carichi, sarà:

$$I' = \frac{5 - 0.2}{2.2k} \text{ mA} = 2.182 \text{ mA}$$

Notiamo a questo punto che:

$$I' = 2.182 \text{ mA} < h_{FE} I_{B_2} = 41.49 \text{ mA}$$

cioè Q_2 è sicuramente in saturazione.

Chiediamoci ora quale sia il "carico standard", cioè la corrente assorbita dallo stadio d'ingresso di un circuito simile, quando esso sia collegato all'uscita del primo, con Q_2 in saturazione.

La corrente che fluisce nelle resistenze R_1 ed R_2 dello stadio posto a valle è, in queste condizioni:

$$I_{R_{12}} = \frac{5 - 0.9}{1.75 + 2.0} = 1.093 \text{ mA}$$

Questo è il carico standard.

La massima corrente di collettore possibile Perché Q_2 rimanga in saturazione (sempre con $h_{FE} = 30$) è:

$$I_{C_2} = 30 \times I_{B_2} = 30 \times 1.383 \text{ mA} = 41.49 \text{ mA}$$

Otteniamo quindi per il fan-out:

$$N = \frac{I_{C_2} - I'}{I_{R_{12}}} = \frac{41.49 - 2.182}{1.093} \simeq 35$$

Occorre anche notare che, se all'uscita del nostro circuito NAND colleghiamo uno o più ingressi di altri circuiti dello stesso tipo, la potenza dissipata aumenterà.

La potenza *minima* dissipata (anche in assenza di carico) sarà diversa a seconda che sia $V_{out} = 0.2 \text{ V}$ (livello basso) o $V_{out} = 5 \text{ V}$ (livello alto). Se $V_{out} = 0.2 \text{ V}$, la potenza dissipata nella resistenza R_c e nel transistor Q_2 sarà:

$$P' = V_{cc} \times I' = 5 \times 2.182 = 10.91 \text{ mW}$$

Poiché in tale situazione i diodi D_A , D_B , D_C sono interdetti e Q_1 conduce, la potenza dissipata nella parte di circuito che segue il percorso: R_1 - R_2 - Q_1 - D_2 - R_3 sarà:

$$P'' = V_{cc} \times I_1 = 5 \times 1.543 \text{ mA} = 7.715 \text{ mW}$$

per cui la potenza totale dissipata è:

$$P = P' + P'' = 18.62 \text{ mW} \equiv P(Y = 0)$$

Se $V_{out} = 5 \text{ V}$, entrambi i transistor sono interdetti e quindi, ai fini del calcolo della potenza, l'unica corrente da considerare è quella che fluisce nel ramo $R_1 - R_2$, Poiché ora uno almeno dei diodi d'ingresso è in conduzione. Tale corrente è: $I_{R_{12}} = 1.093 \text{ mA}$, per cui:

$$P(Y = 1) = V_{cc} \times I_{R_{12}} = 5 \times 1.093 = 5.47 \text{ mW}$$

12.5 Circuiti in logica TTL

I circuiti logici del tipo esaminato finora, che utilizzano diodi e transistor, sono relativamente lenti. Per tale motivo a tale tipo di logica (nota come DTL) è preferita quella che utilizza solo transistor, nota come logica TTL.

Esaminiamo le cause della lentezza nella risposta di un circuito DTL, distinguendo la risposta alla transizione livello 0 $\rightarrow$ livello 1, da quella relativa alla transizione livello 1 $\rightarrow$ livello 0 (con riferimento all'uscita).

Esaminiamo il circuito d'uscita (vedi figura 12.6)

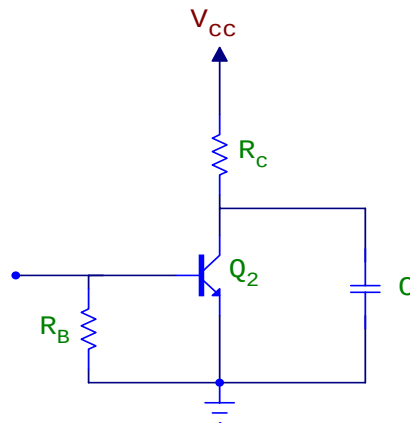


Figura 12.6:

Il condensatore C nel disegno rappresenta l'effetto combinato delle capacità d'ingresso dei circuiti posti a valle e di quelle associate ai collegamenti.

Nel passaggio dell'uscita dal livello 0 al livello 1, il transistor deve andare in interdizione e la tensione di collettore salire a $+V_{cc}$. Tuttavia ciò avviene con costante di tempo $R_C C$, che è il tempo di carica del condensatore C attraverso R_C . Ciò rende lenta la transizione. Un secondo fattore che contribuisce a rendere lenta tale transizione deriva dal fatto che il transistor deve passare dalla saturazione all'interdizione. Ciò implica che le cariche presenti in base (elettroni e lacune) debbano fluire verso massa. La corrente iniziale con cui il processo ha luogo è $V_{BE}/R_b \approx 0.7 \text{ Volt}/R_b$ che, per un valore tipico di R_b di $5 \text{ k}\Omega$, vale 0.15 mA . Poiché tale corrente è piccola (rispetto a quella che fluisce tra base ed emettitore quando la relativa giunzione è polarizzata direttamente) il tempo di svuotamento della base sarà relativamente lungo.

Esaminiamo ora ciò che accade nella transizione opposta, cioè quando l'ingresso della porta diventa alto e quindi l'uscita scende a (0-0.2 V). Tale transizione implica che il transistor entri in saturazione ed il condensatore si scarichi attraverso di esso. Ora, il transistor era inizialmente interdetto e, per andare in saturazione dovrà passare attraverso una successione di stati che comprendono la zona attiva. Poiché la corrente di collettore, per un transistor in zona attiva, assume valori elevati, è chiaro che il tempo di scarica, e quindi il fronte di discesa associato alla transizione, sarà breve.

Un circuito caratterizzato da valori brevi sia del tempo di salita che di quello di discesa, si ottiene sostituendo tutti i diodi con transistor. Esaminiamo il principio

di funzionamento di un tale circuito, prendendo come esempio un NAND con un solo ingresso, cioè un NOT.

Vedremo in seguito come, sostituendo il transistor d'ingresso con un particolare tipo di transistor a più emettitori, sia possibile realizzare delle porte NAND a più ingressi.

Esaminiamo, per cominciare, il circuito visto dal lato dell'ingresso (figura 12.7).

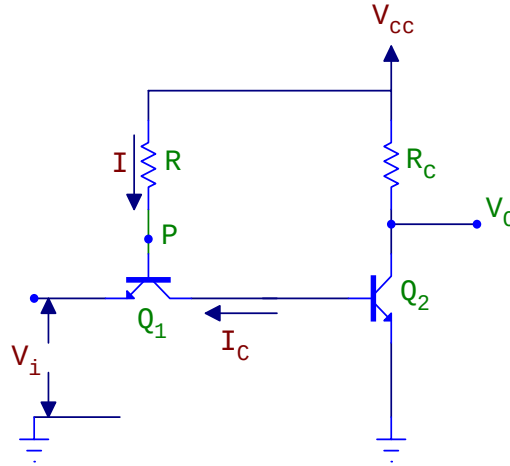


Figura 12.7:

Se l'input V_i è alto ($V_i = V_{cc}$) la giunzione base-emettitore di Q_1 sarà polarizzata inversamente. La tensione in P comincerà a salire fino a che $(V_{BC})_1$ e $(V_{BE})_2$ non abbiano raggiunto circa 0.7 V. In tali condizioni vediamo che il transistor Q_1 ha V_{BE} negativo e V_{BC} positivo, cioè è in una situazione in cui le polarizzazioni sono opposte rispetto a quelle che sono caratteristiche di un transistor che lavori in zona attiva diretta. Ora il transistor Q_1 lavora in zona *attiva inversa* cioè con i ruoli di emettitore e collettore scambiati. Un transistor che lavori in modo inverso soddisfa a relazioni tra correnti di emettitore, collettore e base, analoghe a quelle che conosciamo per la zona attiva diretta. In particolare sussistono le seguenti relazioni tra le correnti:

$$I_C = -(\beta_R + 1)I_B$$

(analoga alla $I_E = (\beta_F + 1)I_B$ per un transistor che lavori in zona attiva diretta). Inoltre:

$$I_E = -\beta_R I_B$$

Notiamo che in genere è $\beta_R \ll \beta_F$. Inoltre i transistor utilizzati in questo tipo di applicazioni hanno valori di β_R ancora più piccoli:

$$\beta_R \simeq 0.02$$

per cui, indicando con I la corrente entrante nella base di Q_1 , avremo:

$$I_C \simeq -I$$

$$I_E \simeq -\beta_R I \text{ (molto piccolo)}$$

Avendo inoltre fatto l'ipotesi che $V_P = (V_{BC})_1 + (V_{BE})_2 \simeq 1.4 V$, si ha:

$$I_C \simeq \frac{1.4 - V_{cc}}{R}$$

$$I_E \simeq \beta_R I_C \simeq 0.02 I$$

In altre parole, avremo valori relativamente grandi per le correnti di base e di collettore in Q_1 , mentre la corrente di emettitore sarà piccola. La corrente di collettore di Q_1 sarà quindi abbastanza elevata da mandare Q_2 in saturazione e l'uscita V_o a circa 0.2 V.

Se invece l'ingresso (emettitore di Q_1) è basso, la giunzione base-emettitore acquista una polarizzazione diretta e la base di Q_1 andrà a $0.2+0.7=0.9 V$. Il collettore di Q_1 , unito alla base di Q_2 era inizialmente a 0.7 V (nella fase precedente Q_2 era saturo). Ne segue che la giunzione base-collettore di Q_1 subito dopo la transizione dell'ingresso dallo stato alto a quello basso, è polarizzata inversamente. Con la giunzione base-emettitore polarizzata direttamente e quella base-collettore polarizzata inversamente, vediamo che Q_1 opera in zona attiva, con un'elevata corrente di collettore. Tale corrente scarica rapidamente la base di Q_2 , dopo di che tale transistor va in interdizione.

In tale fase, la tensione di base di Q_2 scende, la differenza di potenziale $V_{CB_1} = V_{B_1} - V_{C_1}$ aumenta ed infine Q_1 entra in saturazione. Alla fine del processo la corrente di collettore di Q_1 sarà molto piccola, il che implica una V_{CE} di circa 0.1 V, mentre la base di Q_1 sarà a $\simeq 0.3 V$, il che mantiene Q_2 interdetto.

Vediamo che con tale struttura del circuito di ingresso si elimina una delle cause che erano all'origine del lungo tempo di salita del segnale in uscita nel circuito DTL.

Esaminiamo ora l'uscita del NOT TTL, per vedere come sia possibile eliminare il problema della lentezza del tempo di salita del segnale in uscita, legato alla costante di tempo $R_c C$.

Ricordiamo che il tempo di scarica della capacità C era rapido, grazie all'effetto del transistor Q_2 che, durante la transizione, operava in zona attiva. Se vogliamo che anche il tempo di carica sia breve, dobbiamo far sì che la carica avvenga attraverso una resistenza di piccolo valore. Ciò suggerisce di adoperare un "emitter-follower", caratterizzato appunto da una bassa impedenza d'uscita (ricordiamo che l'impedenza d'uscita di un EF è all'incirca uguale ad R_s/h_{FE} , dove R_s è l'impedenza della sorgente che alimenta la base dell'EF).

Schematicamente dovremmo quindi far uso di un circuito del tipo mostrato in figura 12.8.

Questo circuito ha un rapido tempo di carica (quando Q conduce) ma un lento tempo di scarica (se Q è interdetto la scarica avviene attraverso la resistenza R_e , che è tipicamente di qualche $k\Omega$).

Per ottenere un rapido tempo di carica ed un altrettanto rapido tempo di scarica, si può adoperare una combinazione dello stadio d'uscita del circuito di figura 12.7 e di quello di figura 12.8, come mostrato in figura 12.9.

Dobbiamo supporre di disporre di due segnali *complementari* forniti dallo stadio d'ingresso.

In altri termini, V_{I1} è alto quando V_{I2} è basso e viceversa. Se V_{I1} è alto Q_3 sarà in saturazione, mentre contemporaneamente, con V_{I2} basso Q_4 sarà interdetto. Ora il condensatore C, supposto inizialmente carico (uscita V_o alta), potrà scaricarsi attraverso la piccola resistenza offerta dal transistor Q_3 saturo (R_{CE}^{sat}).

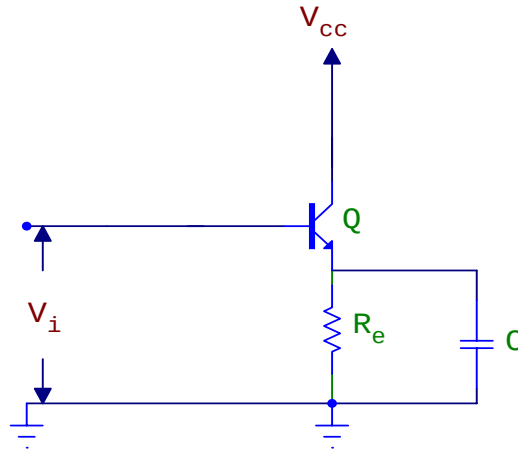


Figura 12.8:

Se V_{I1} è basso e V_{I2} alto, Q_3 sarà interdetto e Q_4 condurrà. Ora Q_4 si comporta da EF e consente una rapida carica di C attraverso la piccola resistenza d'uscita dell'EF.

Lo stadio d'uscita adoperato è noto come "Totem-pole", a causa del suo aspetto che ricorda i Totem adoperati dagli indiani d'America.

La bassa impedenza d'uscita dell'EF Q_4 in questo stato logico (uscita alta) fa sì che l'uscita possa erogare una notevole corrente con conseguente elevato fan-out.

Notiamo anche che il transistor Q_4 , nello stato alto, è quello che "tira su" l'uscita verso il livello alto. Per tale motivo ci si riferisce a Q_4 come un "active pull-up".

Analogamente, nello stato basso, il ruolo di "tener giù" l'uscita è svolto dal transistor Q_3 che, per tale motivo, è indicato come un "active pull-down".

Il circuito completo è mostrato in figura 12.10.

Abbiamo già esaminato il funzionamento dello stadio di ingresso (a sinistra nella figura). Esaminiamo ora lo stadio intermedio che fornisce le due uscite complementari (quelle che alimentano le basi di Q_3 e Q_4), e lo stadio d'uscita.

Lo stadio intermedio è un "phase-splitter". L'uscita prelevata sul collettore di Q_2 e quella prelevata sull'emettitore sono sfasate di 180° . Tali uscite forniscono quindi i segnali di tensione V_{I1} e V_{I2} necessari per alimentare Q_3 e Q_4 .

Se l'ingresso V_I è basso (0.2 V), il transistor Q_1 , come già visto, avrà la base a (0.2+0.7=0.9 V) e Q_2 sarà interdetto. Con ciò la tensione sulla base di Q_3 , unita all'emettitore di Q_2 sarà all'incirca 0 V e Q_3 sarà interdetto.

Con Q_2 interdetto, la sua tensione di collettore sarà $\approx V_{cc} = 5$ V. Poiché il collettore di Q_2 è unito alla base di Q_4 , avremo:

$$V_{C2} = V_{B4} = 5 \text{ V}$$

Con tale tensione di base, Q_4 sarà ON (in saturazione o in zona attiva).

Esaminiamo l'effetto del carico posto a valle sullo stato di Q_4 . Se non c'è alcun carico, la corrente I_L nell'emettitore di Q_4 sarà molto piccola (giusto la corrente di perdita) e le due giunzioni: quella base-emettitore di Q_4 e quella del diodo D,

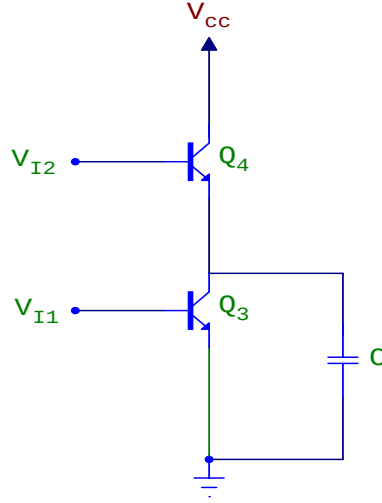


Figura 12.9:

saranno al limite della conduzione. Ammettendo che esse valgano entrambe 0.65 V , troveremo:

$$V_{out} = 5 - 0.65 \times 2 = 3.7\text{ V}$$

Cioè l'uscita è al livello alto.

Se introduciamo un carico, la corrente I_L in Q_4 ed in D aumenterà. Tuttavia, entro un certo range di valori di I_L , Q_4 rimarrà in zona attiva ed avremo:

$$V_{out} = V_{cc} - \frac{I_L}{\beta + 1} \times R_1 - V_{BE4} - v_D \simeq 5 - \frac{I_L}{\beta + 1} \times 1.6\text{ k}\Omega - 0.8 - 0.7$$

Ulteriori aumenti di I_L potranno mandare Q_4 in saturazione. A questo punto la tensione d'uscita sarà determinata dalla sola resistenza di $130\text{ }\Omega$:

$$\begin{aligned} V_{out} &= V_{cc} - 0.13\text{ k}\Omega \times I_L - V_{CE4}^{sat} - 0.8 = 5.0 - 0.13\text{ k}\Omega \times I_L - 1.0 = \\ &= 4. - 0.13\text{ k}\Omega \times I_L \end{aligned}$$

Esaminiamo ora ciò che accade se l'ingresso V_I è alto. Come già visto, ora la giunzione base-emettitore di Q_1 è polarizzata inversamente; la tensione $V_{B1} \approx V_{C1} + 0.7\text{ V} = 1.4\text{ V}$. La corrente di base di Q_1 è allora:

$$I_{B1} = \frac{V_{cc} - 1.4}{R} = \frac{5 - 1.4}{4} = 0.9\text{ mA}$$

La corrente di collettore sarà:

$$I_{C1} = (\beta_R + 1)I_{B1} \simeq I_{B1}$$

mentre I_{E1} sarà molto piccola.

Tale corrente di collettore di Q_1 (che sta funzionando in modo inverso) fluisce verso la base di Q_2 , mandandolo in saturazione. Verifichiamo in tali condizioni lo stato di Q_4 e Q_3 .

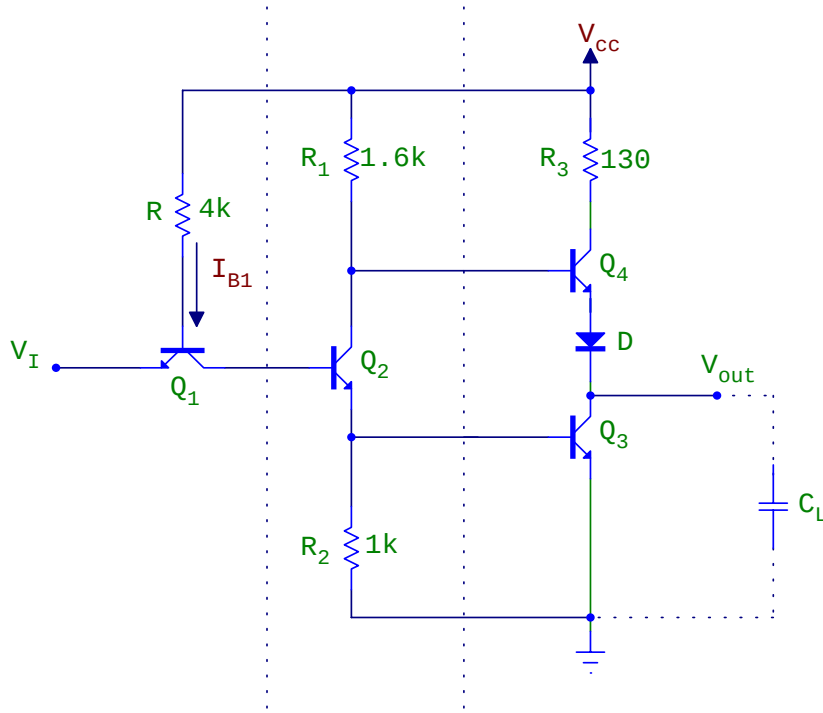


Figura 12.10:

Con Q_2 in saturazione la corrente di emettitore di Q_2 sarà abbastanza grande da mandare Q_3 in saturazione e $V_{out} \rightarrow 0.2 \text{ V}$. La tensione sulla base di Q_4 , uguale a quella sul collettore di Q_2 , sarà ora:

$$V_{B_4} = V_{C_2} = V_{CE_2}^{sat} + V_{BE_3}^{sat} = 0.2 + 0.8 = 1 \text{ V}$$

Perché Q_4 conduca occorre che V_{B_4} soddisfi la condizione:

$$V_{B_4} > V_{BE_4}^{min} + v_D^{min} + V_{CE_4}^{sat} = 1.4 + 0.2 = 1.6 \text{ V}$$

Poiché V_{B_4} è solo 1 V, nè Q_4 nè il diodo conducono.

Se ora l'ingresso V_I torna al livello basso, Q_2 andrà in interdizione e ciò manderà in interdizione Q_3 .

L'uscita rimarrà per un breve intervallo di tempo a 0.2 V, Poiché la capacità parassita C_L deve caricarsi. Nel frattempo però Q_4 va in saturazione (la tensione sulla sua base è salita quando Q_2 è andato in interdizione). Avremo ora:

$$V_{B_4} = V_{BE_4}^{sat} + v_D + V_{out} = 0.8 + 0.7 + 0.2 = 1.7 \text{ V}$$

La corrente di base di Q_4 sarà:

$$I_{B_4} = \frac{V_{cc} - V_{B_4}}{R_1} = \frac{5.0 - 1.7}{1.6} = 2.06 \text{ mA}$$

e quella di collettore:

$$I_{C_4} = \frac{V_{cc} - V_{CE_4}^{sat} - v_D - V_{out}}{R_3} = \frac{3.9}{0.13} = 30 \text{ mA}$$

e quindi:

$$\frac{I_{C_4}}{I_{B_4}} = \frac{30}{2.06} = 14.6$$

Se scegliamo un transistor con $h_{FE}^{min} > 15$ vediamo che Q_4 sarà in saturazione.

Fino a che Q_4 rimane saturo, la tensione V_{out} in uscita sale esponenzialmente verso V_{cc} , con una piccola costante di tempo:

$$\tau = C_L (0.13 + R_{C_4}^{sat} + R_f)$$

Dove $R_{C_4}^{sat}$ è la resistenza tra collettore ed emettitore di Q_4 quando questo è in saturazione ed R_f è la resistenza diretta del diodo.

All'aumentare di V_{out} la corrente in Q_4 diminuisce, Q_4 esce dalla saturazione ed infine V_{out} raggiunge uno stato in cui Q_4 è interdetto.

Il valore finale della tensione d'uscita sarà:

$$V_{out} = V_{cc} - V_{BE_4}^{cutin} - v_D^{cutin} = 5 - 0.5 - 0.6 = 3.9 \text{ V}$$

Dove con $V_{BE_4}^{cutin}$ e v_D^{cutin} abbiamo indicato i valori di soglia sotto i quali il transistor ed il diodo non conducono.

Il circuito NAND in logica TTL differisce da quello (NOT) ora descritto per il transistor d'ingresso che, nella porta NAND, è costituito da un transistor a più emettitori, come mostrato in figura 12.11.

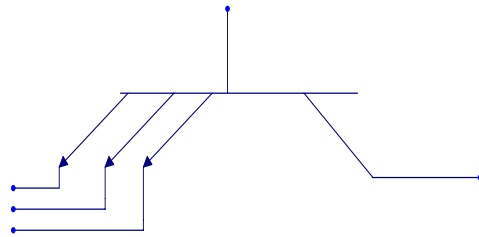


Figura 12.11:

Fisicamente tale transistor ha la struttura mostrata in figura 12.12.

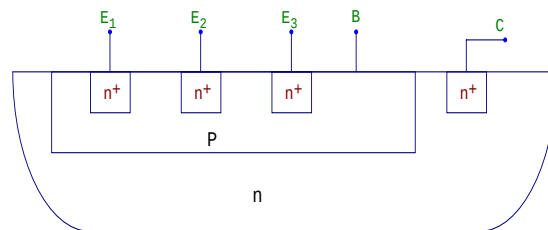


Figura 12.12:

Nel substrato di materiale n è impiantato il collettore (n^+) e, in una struttura p (cui è collegata la base) tre strutture (n^+), corrispondenti ciascuna ad uno dei tre emettitori indicati nella figura precedente. Il funzionamento di tale dispositivo è identico a quello del singolo transistor.

