

Appunti & trasparenze - Parte 1

Versione 2, Ottobre 2003

Francesco Fuso, tel 0502214305, 0502214293 - fuso@df.unipi.it

<http://www.df.unipi.it/~fuso/dida>

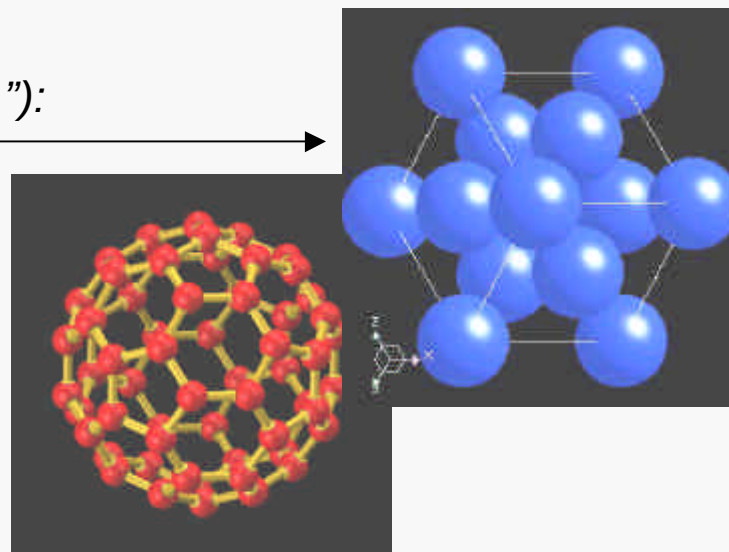
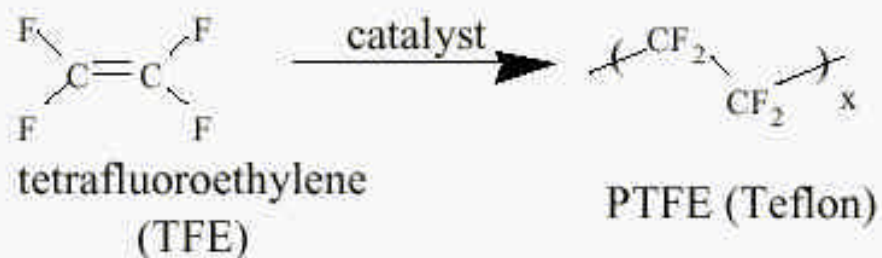
- Generalità sulle nanotecnologie, ambito scientifico e tecnologico, motivazioni, prospettive, cenni su dispositivi micro- e nanoelettronici

6/10/2003 - 8.30 + 2 - ITI L

Il “nanomondo”: dimensioni tipiche submicrometriche

Dimensioni sub-nanometriche in *natura* (“limite inf.”):

- passo reticolare cristalli ~ alcuni Å (Si: 5.431 Å)
- “diametro” molecola fullerene ~ 7 Å
- “dimensioni lineari” di un monomero (polimero)



Obiettivi “tecnologici”: realizzare, studiare e sfruttare nanostrutture:

- crescita (asse z);
- definizione laterale (asse x e/o y)

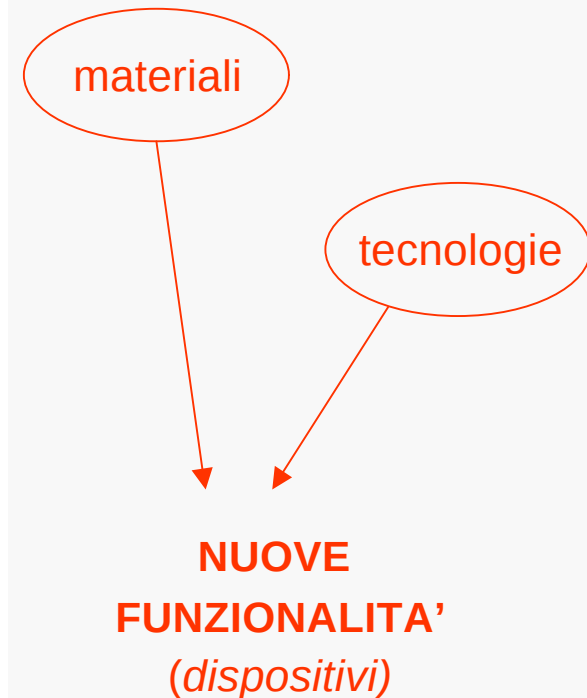


NANOTECNOLOGIA

See the Feynman's speech (29/12/1959!!) at
<http://www.zyvex.com/nanotech/feynman.html>

Motivazioni ed ambito

The current widespread interest in nanotechnology dates back to the years 1996 to 1998 when a panel under the auspices of the World Technology Evaluation Center (WTEC), funded by the National Science Foundation and other federal agencies, undertook a world-wide study of research and development in the area of nanotechnology, with the purpose of assessing its potential for technological innovation. Nanotechnology is based on the recognition that particles less than the size of 100 nanometers (a nanometer is a billionth of a meter) impart to nanostructures built from them new properties and behavior. This happens because particles which are smaller than the characteristic lengths associated with particular phenomena often display new chemistry and physics, leading to new behavior which depends on the size. So, for example, the electronic structure, conductivity, reactivity, melting temperature, and mechanical properties have all been observed to change when particles become smaller than a critical size. The dependence of the behavior on the particle sizes can allow one to engineer their properties. The WTEC study concluded that this technology has enormous potential to contribute to significant advances over a wide and diverse range of technological areas ranging from producing stronger and lighter materials, to shortening the delivery time of nano structured pharmaceuticals to the body's circulatory system, increasing the storage capacity of magnetic tapes, and providing faster switches for computers. Recommendations made by this and subsequent panels have led to the appropriation of very high levels of funding in recent years. The research area of nanotechnology is interdisciplinary,



Settore tradizionalmente trainante: (micro)elettronica

Miniaturizzazione $\Rightarrow$ dimensioni compatte, aumento potenza (capacità trattamento ed immagazzinamento dati), diminuzione consumi, ...

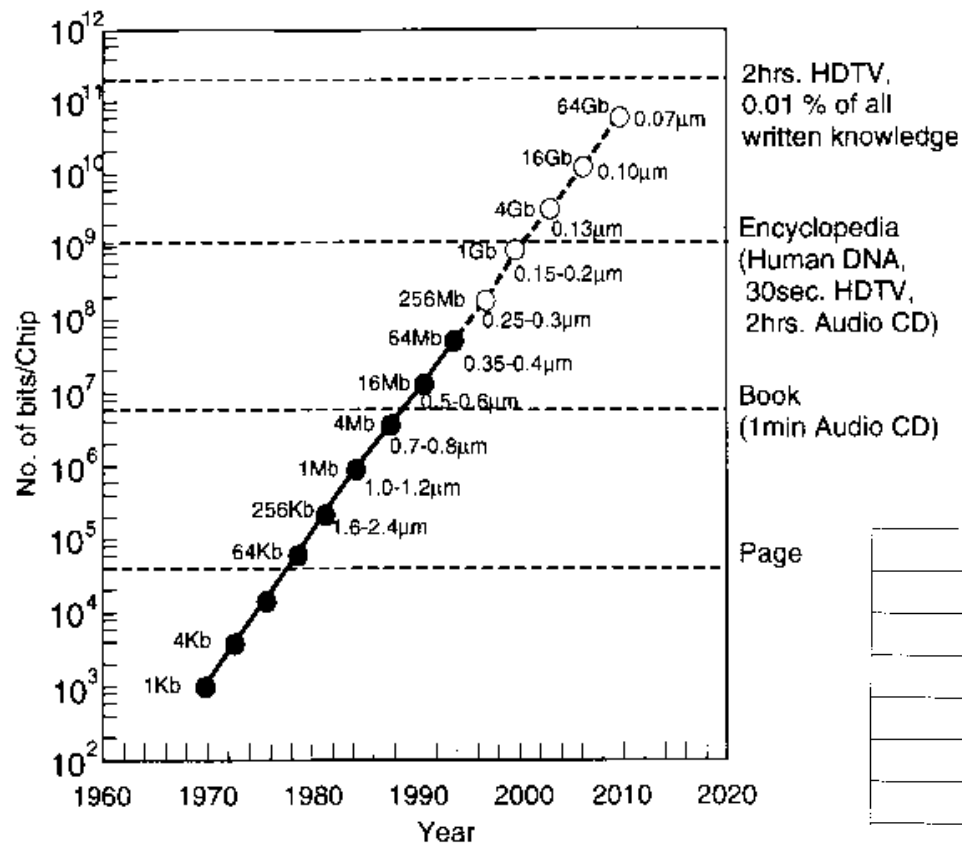


FIGURE 2. The complexity curve adapted from Moore[7] showing the time of the information storage capacity of silicon DRAM chips. The tabulated based on publications in the ISSCC Technical Digests. TI (indicated by the dotted line) are based on the SIA Roadmap. The application storage capacity of an encyclopedia, human DNA, two hours 30 seconds of HDTV, a book, 1 minute of Audio CD, and a page are indicated for reference.

Miniaturizzazione $\Leftrightarrow$ prestazioni

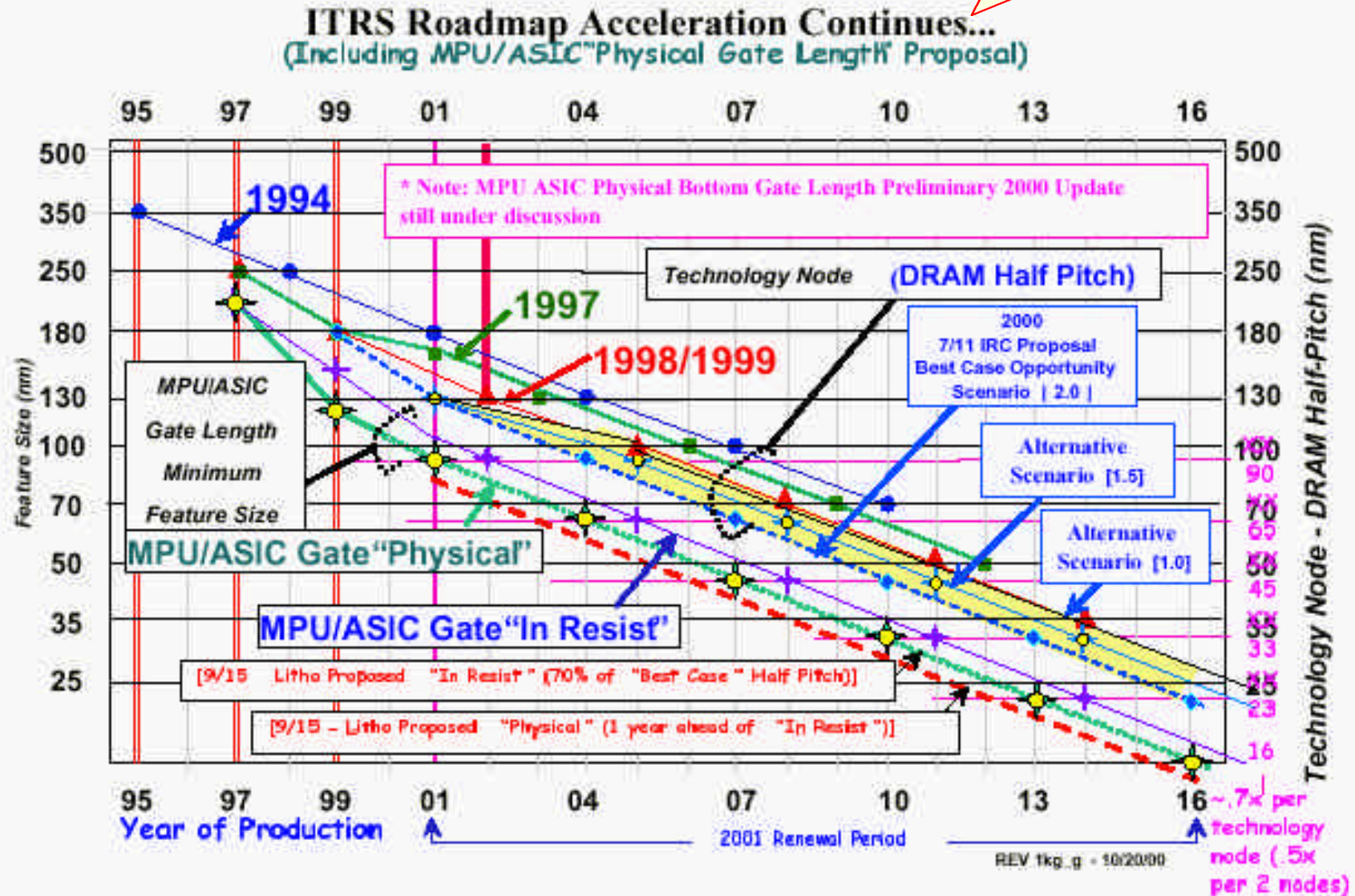
“Legge” di Moore:
la “miniaturizzazione”
aumenta
di un fattore 4 ogni 3 anni

TASK:	MIPS
Speech Recognition (numbers)	≈ 50
Digital Signal Processor (audio)	≈ 50
Cellular Phone	≈ 50
Personal Computer	≈ 100
Video Games	≈ 200
HDTV	≈ 1000
Color FAX	≈ 7000
Speech Recognition (5000 words)	$\approx 10,000$
MPEG2 Encoder	$\approx 20,000$
multimedia DSP	$\approx 50,000$
Video Graphics (Ray Trace)	$\approx 10^9$
Secondary Structure of genome	$\approx 10^{12}$

Limiti delle tecnologie attuali?
Dispositivi con *nuove funzionalità*?
Nuovi materiali?

Previsioni per il futuro...

See <http://public.itrs.net>



*ASIC: application-specific integrated circuit

Miniaturizzazione vs prestazioni

Esempio: velocità (basso RC):

⇒ capacità ($C \sim S/h$)

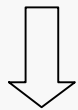
⇒ resistenza ($R \sim l/S$)

*Vale anche per
interconnessioni*

(esempio):

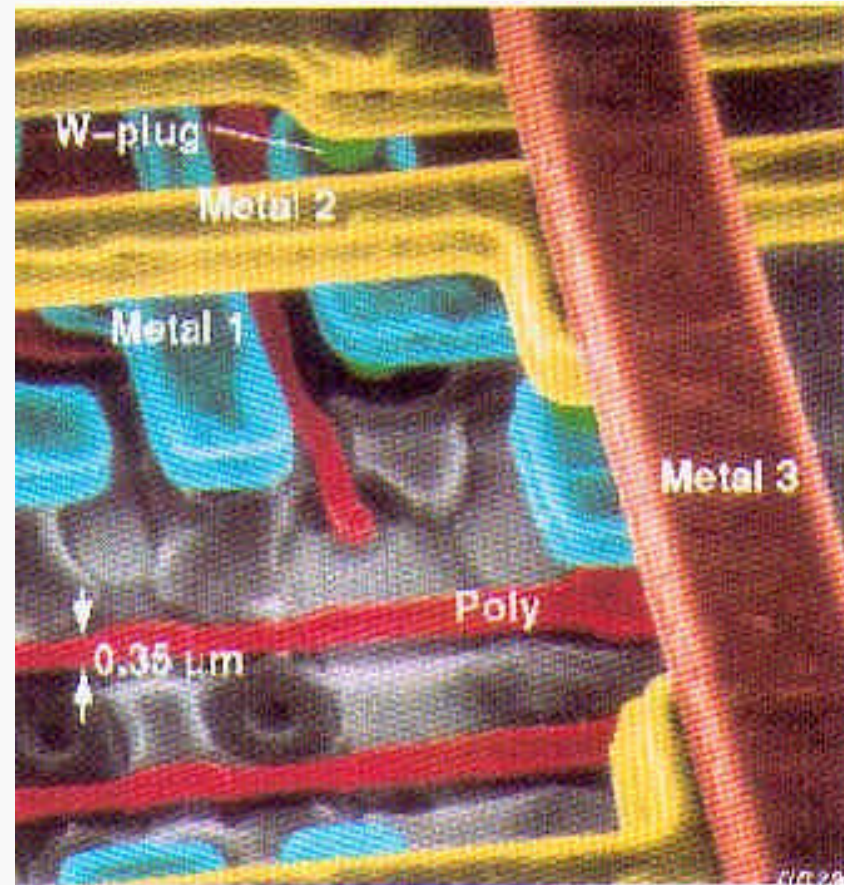
- polysilicon stripes
- W-plugs
- Al lines

Miniaturizzazione
dispositivo



miniaturizzazione
interconnessioni

Realizzazione pratica di device a più livelli
(con interconnessioni)



Elemento di base dei dispositivi microelettronici: FET (MOS-FET)

(elemento *attivo*: la tensione al gate controlla la corrente drain-source)

Ingrediente fondamentale per:

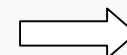
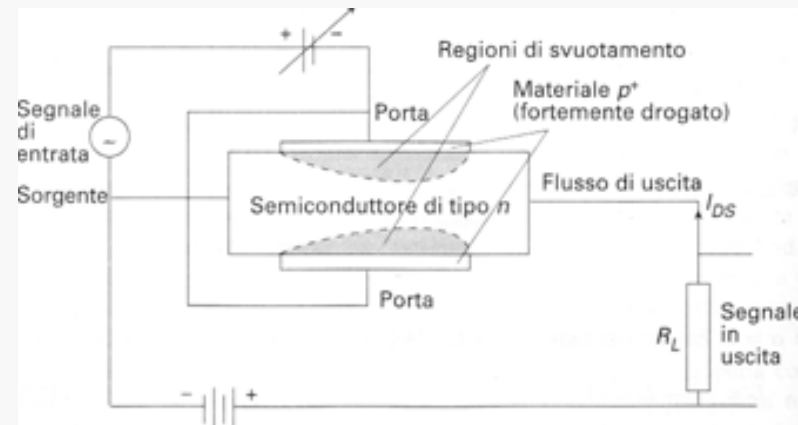
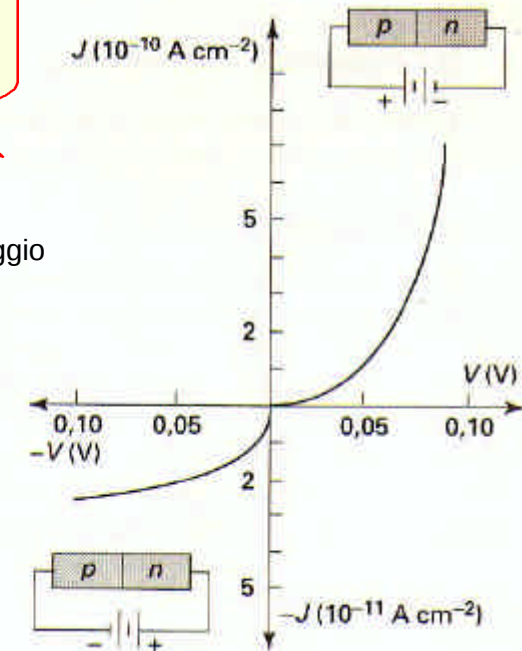
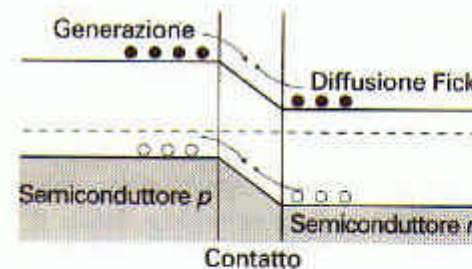
- CPU/MPU (funzioni logiche)
- memorie (storage)

	MEMORY	LOGIC
	<i>High volume DRAM/Flash</i>	<i>High volume: Microprocessor</i>
transistors/cm ²	64 M	4 M
On-Chip Frequency (MHz)	150	150–300
Chip size (mm ²)	190	250
Number of Defects	560	425
Number of Package Pins/Balls	30–60	512
Interconnect Density (Metal 1) (m/cm ² /level)	60	35
Number of Metal Interconnect Levels	2	4–5
Interconnect Length (m)	–	380
Maximum power dissipation (W/die)	3–5	5–80

MOS-FET: **costruzione planare** (film sottili)

Da F. Bassani, U.M. Grassano,
Fisica dello Stato Solido
(Bollati Boringhieri, 2000)

Principio di funzionamento
di una giunzione tra
semiconduttori a diverso drogaggio



miniaturizzazione lungo z

Richiami sul funzionamento di un transistor bipolare

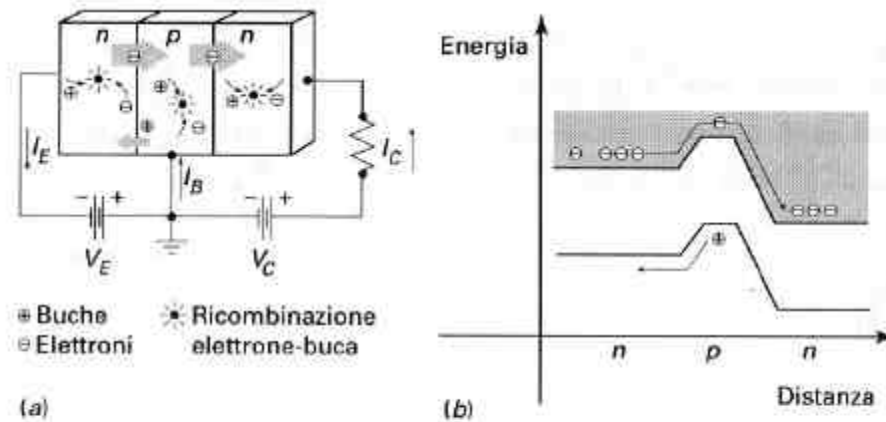


Figura 11.16

Transistor $n-p-n$, con i relativi simboli per indicare la corrente di emettitore (I_E), di collettore (I_C), e la corrente di base (I_B). (a) Indicazione degli stati di polarizzazione e dei flussi di corrente (buche ed elettroni). (b) Posizionamento delle bande in presenza di un campo (diretto per la giunzione $n-p$).

In un transistor $n-p-n$ si ha ad un estremo l'emettitore di elettroni, i quali entrano dal contatto nel semiconduttore n e all'altro estremo del secondo semiconduttore n vi è il collettore, mentre il semiconduttore p intermedio, molto più sottile degli altri, è chiamato base. All'equilibrio senza polarizzazione non si ha passaggio di corrente perché $I_n^0 = I_p^0$ a entrambe le giunzioni. Basta però applicare una differenza di potenziale tra il collettore e l'emettitore e controllare il potenziale della base per ottenere un'amplificazione di tensione. Illustriamo il funzionamento di tale transistor riferendoci alla fig. 11.16. In questo schema si hanno due circuiti. Uno è il circuito $e-b$ (emettitore-base) che è rettificante per le ragioni esposte precedentemente a proposito del diodo. L'altro è un circuito $b-c$ (base-collettore) che da solo lascerebbe passare poca corrente perché il potenziale è tale da aumentare la barriera di potenziale. In presenza del circuito precedente però molti più elettroni arrivano al semiconduttore p per l'effetto dell'abbassamento

Da F. Bassani, U.M. Grassano,
Fisica dello Stato Solido
(Bollati Boringhieri, 2000)

della barriera al confine $n-p$ e tali elettroni non trovano ostacoli a proseguire attraverso la zona n ed arrivare al collettore. Questo produce perciò amplificazione di potenza nel circuito $b-c$ rispetto al circuito $e-b$.

La corrente che passa per $n-p$ è I_E :

$$I_E = I_g^0 (e^{\frac{eV_E}{kT}} - 1), \quad (11.64)$$

dove V_E è il potenziale dell'emettitore. La corrente che passa al collettore I_C sarà

$$I_C = I_E - I_B, \quad (11.65)$$

dove I_B , corrente di base, è piccola in ogni caso. Se la base è a terra si può ritenere $I_B \approx 0$ e la corrente raccolta al collettore sarà data dalla (11.64). Non c'è in questo caso amplificazione di corrente tra emettitore e collettore, ma c'è grande amplificazione di tensione (o di potenza), perché la stessa corrente passa da un circuito d'ingresso a bassa impedenza (giunzione con polarizzazione diretta) ad un circuito d'uscita a grande impedenza (giunzione con polarizzazione inversa) e qui scorre attraverso una grande resistenza R_L . Dunque un transistor a base comune si comporta come un amplificatore di tensione (o di potenza).

Se il transistor è collegato con emettitore comune (a terra), si comporta come un amplificatore di corrente (vedi fig. 11.17). Come si è visto prima, quasi tutta la corrente I_E della giunzione emettitore-base (polarizzata direttamente) raggiunge il collettore, così si può scrivere

$$I_C = \alpha I_E \quad (11.66a)$$

Tecnologie/materiali/dispositivi



Figure 1 – The first transistors: (a) the point contact transistor of Brattain and Bardeen, 1947 (left); (b) the junction transistor of Shockley, Morgan, Sparks, and Teal, 1950 (right).

La tecnologia degli anni '50 si basava su elementi macroscopici (barrette di materiale semiconduttore drogato) e non si prestava a miniaturizzazione.

Negli anni '70, grazie a innovazioni tecniche, si diffonde la tecnologia planare, fondata sulla *crescita (epitassiale) di film sottili*



MOS-FET

Cenni sul funzionamento di un MOSFET

The n-type Metal-Oxide-Semiconductor Field-Effect-Transistor (MOSFET) consists of a **source** and a **drain**, two highly conducting n-type semiconductor regions which are isolated from the p-type **substrate** by reversed-biased p-n diodes. A metal (or poly-crystalline) **gate** covers the region between source and drain, but is separated from the semiconductor by the **gate oxide**. The basic structure of an n-type MOSFET and the corresponding circuit symbol are shown in figure 7.1.1.

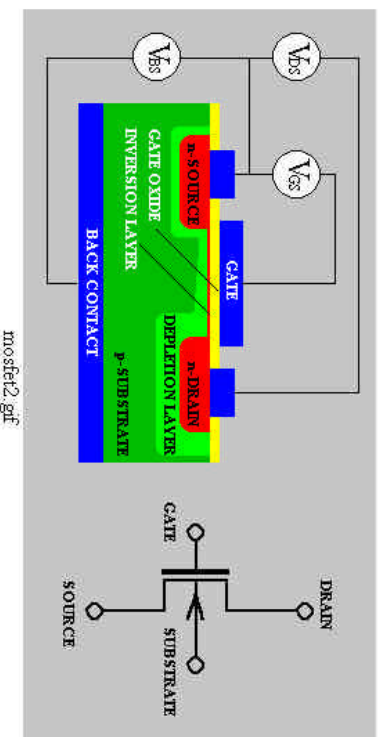


Fig.7.1.1 Crosssection and circuit symbol of an n-type Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET)

As can be seen on the figure the source and drain regions are identical L . It is the applied voltages which determine which n-type region provides the electrons and becomes the source, while the other n-type region collects the electrons and becomes the drain. The voltages applied to the drain and gate electrode as well as to the substrate by means of a **back contact** are referred to the source potential, as also indicated on the figure.

A top view of the same MOSFET is shown in Fig. 7.1.2, where the gate length, L , and gate width, W , are identified. Note that the gate length does not equal the physical dimension of the gate, but rather the distance between the source and drain regions underneath the gate. The overlap between the gate and the source and drain region is required to ensure that the inversion layer forms a continuous conducting path between the source and drain region. Typically this overlap is made as small as possible in order to minimize its parasitic capacitance.

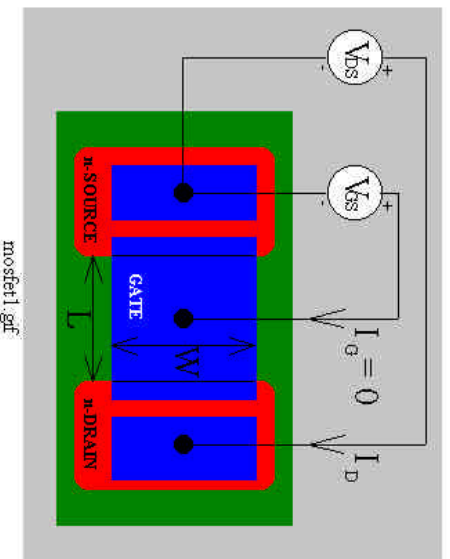
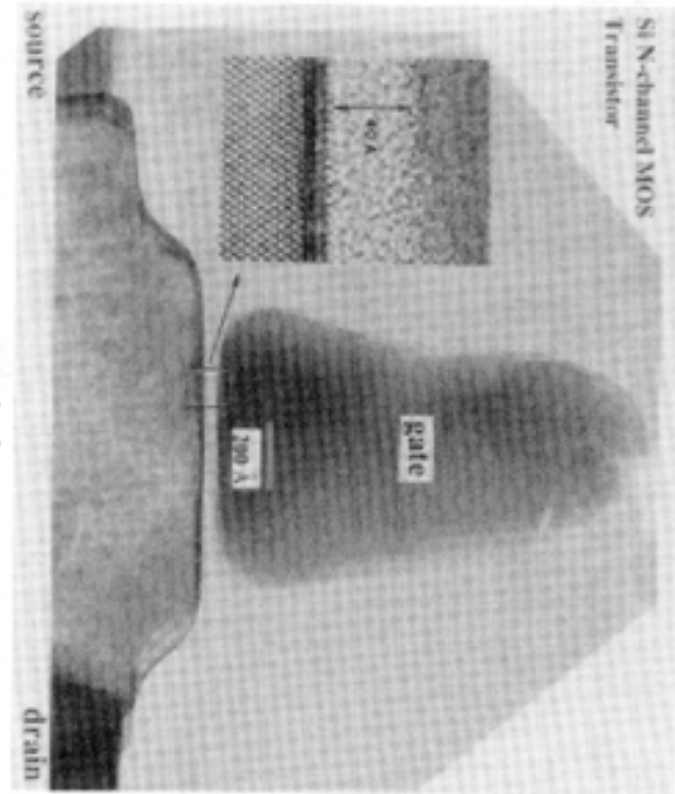


Fig.7.1.2 Top view of an n-type Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET)

The flow of electrons from the source to the drain is controlled by the voltage applied to the gate. A positive voltage applied to the gate, attracts electrons to the interface between the gate dielectric and the semiconductor. These electrons form a conducting channel between the source and the drain, called the **inversion layer**. No gate current is required to maintain the inversion layer at the interface since the gate oxide blocks any carrier flow. The net result is that the current between drain and source is controlled by the voltage which is applied to the gate.

Realizzazione pratica di un MOSFET

Da G. Timp, Nanotechnology
(Springer-Verlag, 1999)



Esempio di HRTEM

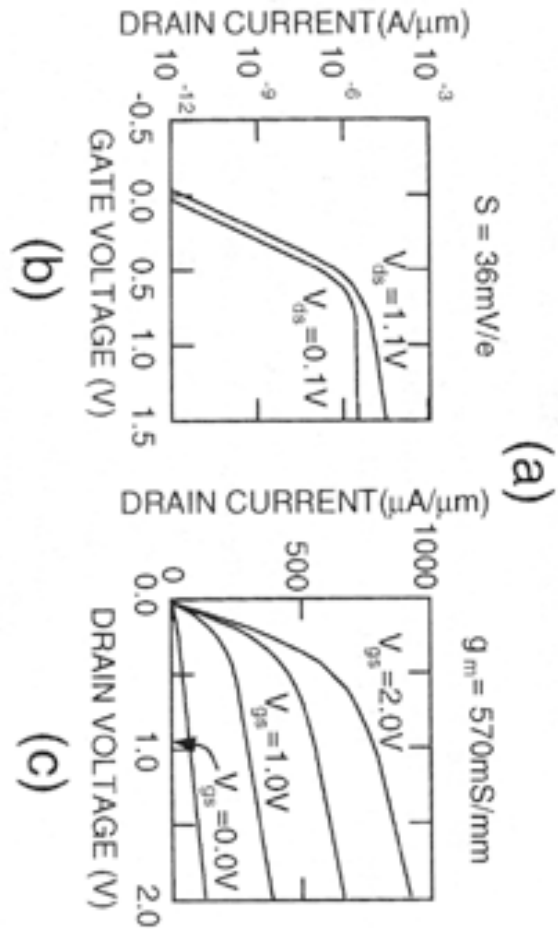


FIGURE 6. (a) A high-resolution transmission electron micrograph of a cross-section of an N-MOSFET with a gate length of $0.13 \mu\text{m}$ adapted from [27] and through the courtesy of Y. Kim. The channel is less than 400 atoms long. The inset shows a lattice image of the channel region of this device. (b) and (c) represent the measured subthreshold and drain characteristics found at room temperature for an N-MOS transistor like that shown in (a). From these measurements it can be inferred that the transconductance is approximately $570 \mu\text{S}/\mu\text{m}$, and the subthreshold slope, $S = 36 \text{ mV}$ per e -fold change in I_D or 84 mV/decade , and the threshold voltage is $V_t = 0.45 \text{ V}$.

Difficoltà con tecnologie e materiali tradizionali

- In order to maintain the progress of Moore's Law, the 2001 ITRS envisions **more aggressive scaling than projected in prior roadmaps**. For example, dynamic random access memory chips will feature critical dimensions of 90 nanometers in 2004, which is both smaller and sooner than the 100 nanometers projected for 2005 in the roadmap published just two years ago. Similarly, microprocessor transistor gate lengths – a critical dimension that affects the processor's speed -- will be just 25 nanometers in 2007, six years sooner than expected in the 1999 version of the roadmap. (Note: a nanometer is one-billionth of a meter. A human hair is 100,000 nanometers in width, and a red blood cell is 5,000 nanometers in width.)
- **We are beginning to reach the fundamental limits of the materials used in the planar CMOS process**, the process that has been the basis for the semiconductor industry for the past 30 years. Further improvements in the planar CMOS process can continue for the next five to ten years by introducing new materials into the basic CMOS structure. However as the ITRS looks forward 10-15 years, it becomes evident that even with the introduction of new materials, most of the known technological capabilities of the CMOS device structure will approach or have reached their limits. In order to continue to drive information technology advances, it becomes necessary to investigate new devices that may provide more cost-effective alternative to planar CMOS in this timeframe.

Limitazioni con tecniche “tradizionali”
(es., optical lithography, maschere,...)

Da www.sia-online.org

Previsioni per il 2005:

- Dimensioni delle celle di memoria (DRAM) sotto i 100 nm
- Lunghezza del gate in MOSFET sotto 25 nm

Limitazioni con materiali “tradizionali”
(es., Silicio)

What are examples of the difficult challenges that may impede progress in the near term (through 2007)?

There are dozens of challenges outlined in the ITRS. One example is the difficulty of making the **mask** used to transfer the integrated circuit layout designs onto future chips. As the layout designs require manufacturing transistors with finer line-widths it becomes progressively more difficult to accurately control the line-widths (e.g. a difference of a few nanometers separates success from failure.) Another difficult challenge is the prompt development of new **metrology** tools to accurately perform critical measurements as new materials, processes, and device structures are introduced. A third example is the difficulties associated with depositing metal into deep and narrow holes etched into the chip. Billions of these holes must be built on each chip to **interconnect** the billions of individual transistors on the chip.

What are examples of the long range (2008-2016) challenges?

Again, the ITRS lists dozens of technical barriers that must be overcome. For example, **optical lithography** falls short of meeting the tough requirements expected after 2010, requiring the introduction of next generation lithography tools such as extreme ultraviolet lithography and electron projection lithography. These new tools will require development of a totally new infrastructure. Breakthroughs are also needed to **interconnect** all of the transistors required on a single chip. These breakthroughs might include optical or wireless connections within a chip rather than today's electronic/metal interconnect.

- Proprietà di trasporto elettronico in sistemi 2D (film sottili):
effetti classici in film conduttori, semiconduttori ed isolanti

Proprietà di trasporto (elettronico)

Modello elementare (Drude)

“Legge di Ohm”: $\mathbf{J} = \sigma \mathbf{E}$

$$\sigma = n e^2 \tau / m^*$$

τ : tempo fra *collisioni*

m^* : massa efficace

Classicamente:

urti con ioni (o tra elettroni) e velocità termica

Quantisticamente:

perdita simmetria traslazionale f.ne d'onda

(es. per interazione con fononi) e velocità di Fermi

Effetto Hall **classico** per misura di segno e valore della conducibilità

Metodo a quattro punte
per misura della resistività
(elimina effetto resistenza dei
contatti)

Tra un “urto” e l'altro la velocità di drift è:

$$v_d = \tau e E / m^*$$

$$\text{ma } \mathbf{J} = n e \mathbf{v}_d$$

$$\text{da cui: } \sigma = n e^2 \tau / m^*$$

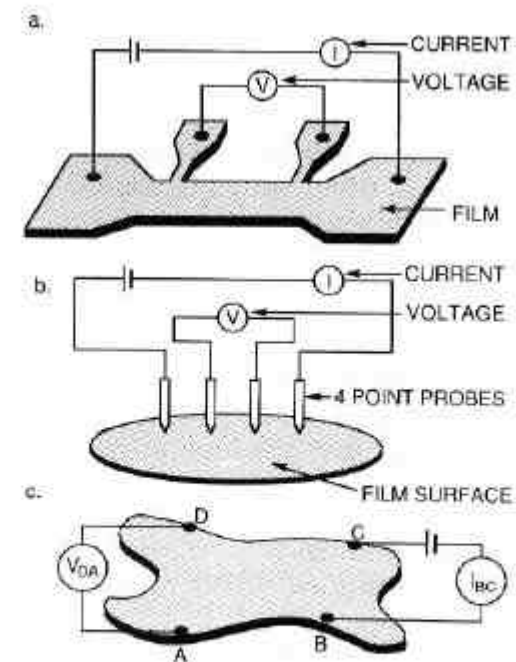


Figure 10-1. Techniques for measuring thin-film electrical resistance. (a) Four-terminal method for conducting stripes. Current is passed through outer terminals, and voltage is measured across inner terminals. (b) Four-point probe method for measuring sheet resistance. (c) Van der Pauw method for measuring resistivity of arbitrarily shaped film.

*Come la bassa dimensionalità (in una direzione) modifica **classicamente** la conduzione??*

Proprietà di trasporto (elettronico) in film sottili conduttori e semicond.

- Proprietà del film (esempio: porosità, reattività chimica superficiale, etc.)
- Effetti degli elettrodi (vedi MOS, ma anche MIM, SOS, MIS, etc.)
- Effetti di size:

- scattering di elettroni all'interfaccia e in superficie
- grain boundary effects

Da M. Ohring, The materials science of thin films (Academic, 1992)

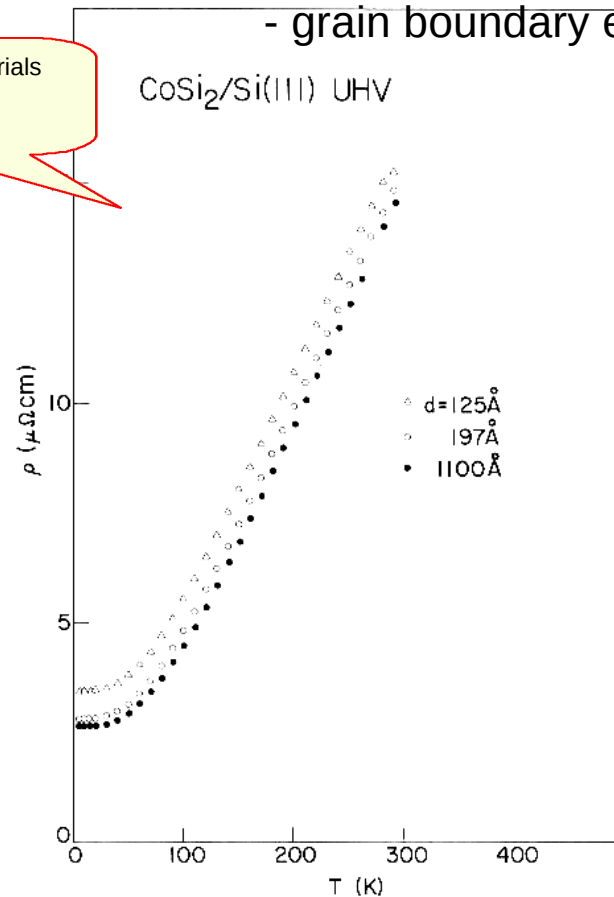


Figure 10-6. Temperature dependence of resistivity of CoSi₂ films. The 125-Å and 197-Å films are epitaxial. The 1100-Å film is polycrystalline. (From Ref. 10).

← ρ vs T in film di CoSi₂ con diverso spessore: l'asintoto a T→0 mostra le caratteristiche di trasporto "intrinseche" del film (si può trascurare urti con fononi), che dipendono dallo spessore causa scattering alla superficie e all'interfaccia con il substrato. Inoltre la natura policristallina dei film contribuisce attraverso scattering (e altri effetti) a bordo grano.

Proprietà di trasporto (elettronico) in film sottili isolanti e semicond.

Table 10-2. Conduction Mechanisms in Insulators

Mechanism	J - $\mathcal{E}$ Characteristics	Experimentally Derivable Material Constants
1. Schottky Emission	$J_s = AT^2 \exp - \frac{q\Phi_B}{kT} \exp \left[\frac{1}{kT} \left(\frac{q^3 \mathcal{E}}{4\pi\epsilon_1} \right)^{1/2} \right]$ (10-21)	Φ_B
2. Tunneling	$J_T = \frac{q^2 \mathcal{E}^2}{8\pi h \Phi_B} \exp - \left[\frac{8\pi(2m)^{1/2}}{3hq\mathcal{E}} (q\Phi_B)^{3/2} \right]$ (10-22)	
3. Space Charge Limited	$J_{scl} = \frac{9\mu\epsilon_1}{8} \frac{\mathcal{E}^2}{d}$ (10-23)	—
4. Ionic Conduction	$J_I = \frac{a\mathcal{E}}{kT} \exp - \frac{E_i}{kT}$ (10-24)	E_i
5. Intrinsic Conduction	$J_{in} = bT^{3/2} \exp - \frac{E_g}{2kT} \cdot \mathcal{E}$ (10-25)	E_g
6. Poole-Frenkel Emission	$J_{PF} = c\mathcal{E} \exp - \frac{E_i}{kT} \exp \left[\frac{1}{kT} \left(\frac{q^3 \mathcal{E}}{\pi\epsilon_1} \right)^{1/2} \right]$ (10-26)	E_i

$a, b, c = \text{constant.}$
 $\epsilon_1 = \text{insulator dielectric constant.}$

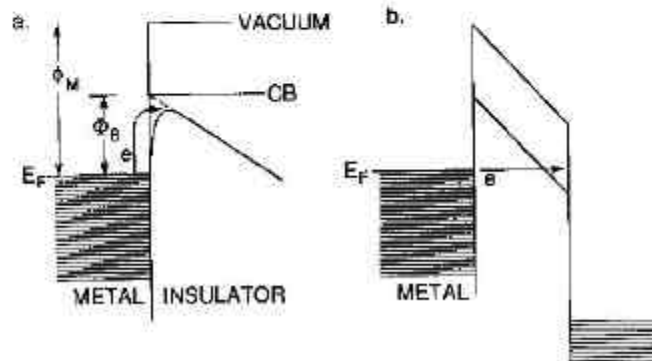


Figure 10-7. Barrier limited conduction mechanisms. (a) Schottky emission; (b) tunneling.

Processi di barriera (Schottky em., Tunnel) e processi di bulk (Cond. ionica, Poole-Frenkel,...)

Da M. Ohring, The materials science of thin films (Academic, 1992)

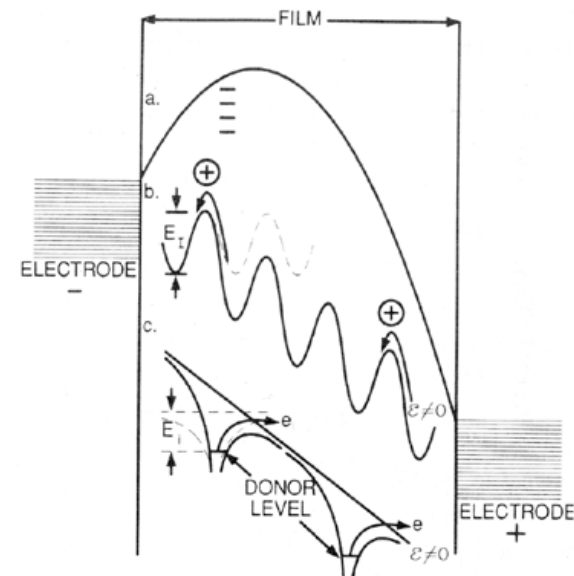


Figure 10-8. Bulk-limited conduction mechanisms. (Dotted lines refer to $\mathcal{E} = 0$) (a) space-charge-limited; (b) ionic conduction of cations $\oplus$; (c) Poole-Frenkel.

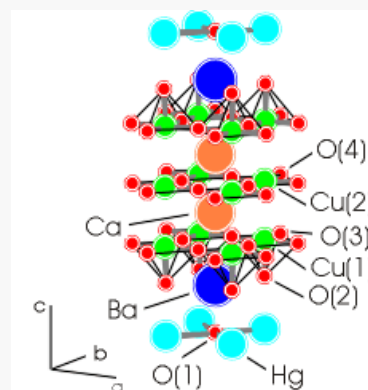
Considerazioni generali sulle proprietà di trasporto (classiche) in film sottili

- Processi legati alla natura chimico/strutturale del film (difetti, granularità...)
- Processi legati al rapporto superficie/volume (interfaccia, scattering in superficie...)

In generale: peggioramento delle caratteristiche
(isolanti per dielettrici, conduttrici per conduttori)

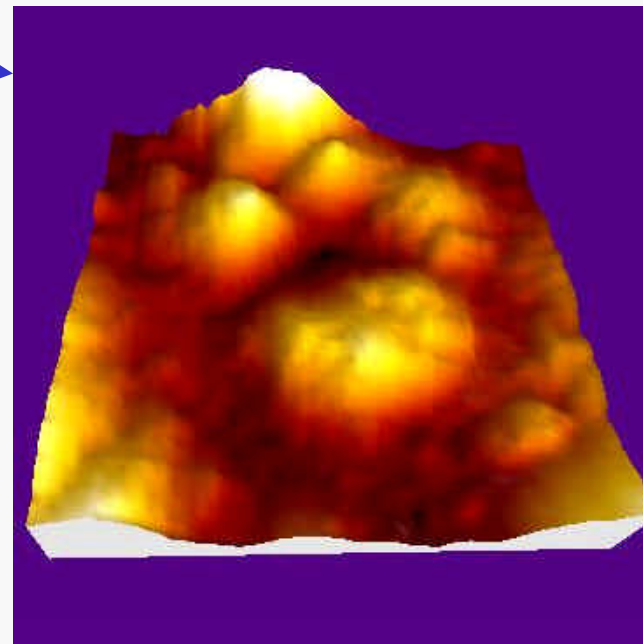
Eccezioni: materiali **policristallini** con struttura complessa

Esempio: superconduttori ceramici ad alta temperatura critica



AFM image of YBCO film
deposited onto metal subs.
(scan size approx $2 \times 2 \mu\text{m}^2$,
max. height approx 180 nm)

YBCO ($\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$)
 $T_c \sim 91 \text{ K}$ (per $x < 0.5$)



La conduzione su scala macroscopica implica tunneling fra diversi grani cristallini; la forma di film sottile permette crescita semi-epitassiale con bordi grano vicini e ben allineati